数字电子技术基础 · 配套学习讲义

门电路怎样工作

第三章 • 从 MOS 管到 TTL 与接口

按课本顺序认清通路、追踪信号，再把电压、电流和器件状态算明白。每一节都交代做题要掌握什么，以及辅助原理为什么值得讲。

依据阎石主编第六版教材与配套辅导书整理。汇总前面多轮教学，合并重复内容，保留传输门逐段精读、例题演算和参数校核；增补 3.1—3.2 的衔接说明。页码指教材印刷页。

42 节学习单元　32 组 SVG 图解　代表题逐步演算　12 道短自测

判导通 → 找通路 → 写逻辑 → 画波形 → 算电流、电阻 → 检查接口

使用顺序：先读“学到什么程度”，看懂图后遮住演算重做。MOS、TTL 的内部图用于解释外部特性；系列沿革和工艺细节以认识用途、按需查表为主。

正文、公式与图解均嵌入本文件，可离线阅读。图中控件用于切换条件；打印采用图旁保留的代表状态，部分图包含不同结构的对照。此讲义是原理与代表题教学，不是原书全部习题的逐题答案册。

3.1—3.2 逻辑值、器件模型与二极管门

> **学到什么程度**：会选二极管模型，会判与门和或门的输出。
>
> **为什么讲这里**：这一节说明逻辑值怎样落到实际电压上，也解释为什么需要电平恢复与驱动。

门电路把实际电压的高、低状态对应为逻辑值，再实现与、或、非等关系。后面的分析分成两个层次：**逻辑题问输入与输出是什么关系；电气题问这些电压、电流能否在真实连接中成立。**

本讲义沿用正逻辑：较高电平表示 1，较低电平表示 0。先不要把“逻辑 1”固定等同于某一个电压；不同系列的电平要求不同。

二极管先采用什么模型?

二极管正向偏置并达到导通条件时导通；反向偏置时，忽略很小的反向电流，按开路处理。若题目采用硅二极管恒压降模型，导通压降常取约 0.7 V；若明确说理想二极管，则导通压降取零。**用哪种模型由题设决定。**

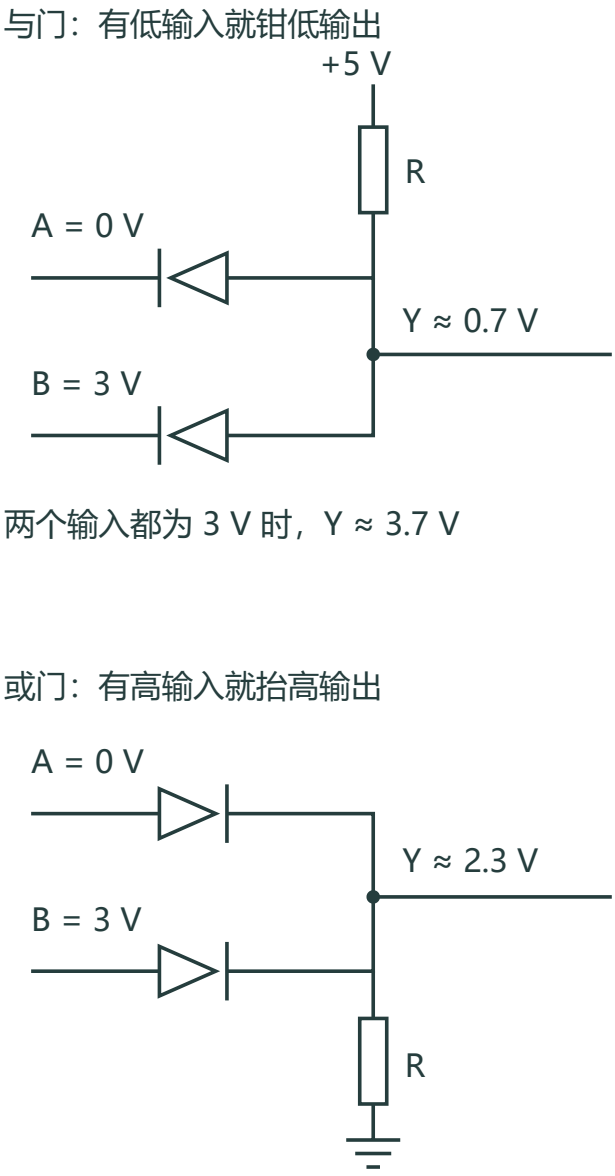


图 01 按课本第 66—67 页重绘。采用 0.7 V 恒压降模型，输入低/高为 0/3 V；输出电平范围按该例约定。

与门：任意一个低输入都会钳低输出

图中公共节点由电阻上拉，二极管的阴极分别接输入。按书中例子，输入低电平为 0 V，高电平为 3 V，电源为 5 V。

只要有输入为 0 V，对应二极管就能把公共输出钳在约 0.7 V。只有两个输入均为 3 V，输出才升至约 3.7 V。按该例规定的电平范围转成逻辑值，得到：

$$Y = AB$$

或门：任意一个高输入都会抬高输出

下图二极管阳极接输入，公共阴极节点经电阻下拉。任意输入为 3 V，都可使输出约为 2.3 V；两个输入均为 0 V 时，输出被电阻拉到 0 V。因此：

> $$Y = A + B$$

为什么接着还要学 MOS 与三极管门?

二极管门存在电平偏移，输出电压也会受负载影响，多级连接时不能简单认为信号幅度会自动恢复。MOS、TTL 等结构进一步提供逻辑反相、电平恢复和驱动能力。

二极管反向恢复一段是在解释开关并非瞬时完成：正向导通储存的电荷需要消除。当前先理解它对速度的影响，普通稳态逻辑题不必计算载流子分布或反向恢复波形。

第三章 · 02 / CMOS 门电路

3.3.1 MOS 管：控制端与信号通路

> **学到什么程度**：会计算 VGS、VSG 并判导通，知道导通不等于输出为 1。
>
> **为什么讲这里**：绝缘栅解释输入电流与充放电；微观沟道形成先理解用途。

做题时先认三个端子：

- **G：栅极，负责控制。**
- **D、S：漏极、源极，是开关接通的两个端子。**

G 控制的是 D—S 之间的通路。G 本身没有直接连进这条通路。

为什么还要讲“栅极与通道之间有绝缘层”？因为它解释了两件后面会用到的事：**静态栅极电流很小，但切换时仍需要给电容充放电。** 至于电子、空穴如何分布，现阶段可以先不深挖。

下面采用教材里的简化符号。你可以切换器件、栅极电压和源极电压：

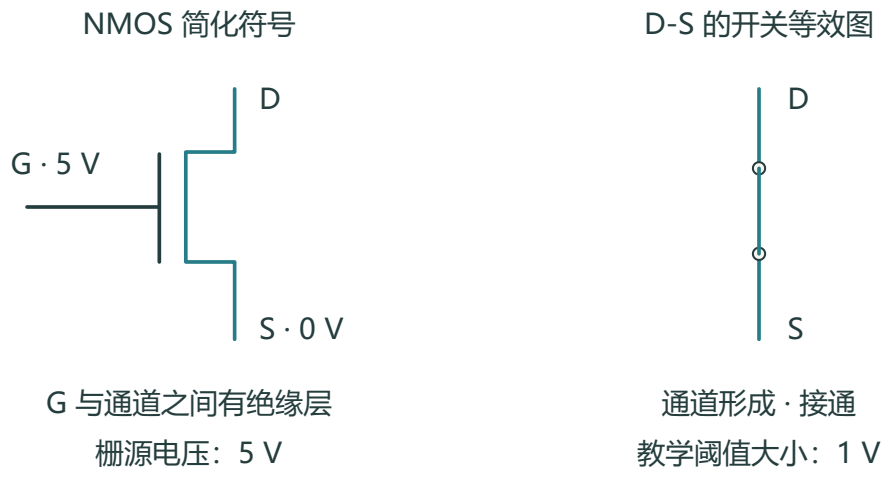


图 02 改变管型、栅极和源极电压，始终用栅源电压判断通道。

必须掌握：MOS 管看的是栅源电压，不是栅极对地电压。

$$V_{GS} = V_G - V_S$$

对于这里主要使用的增强型 MOS 管：

器件	形成导电通道的条件	直观理解
NMOS	$V_{GS} > V_{TN} > 0$	G 要比 S 高出足够多
PMOS	$V_{SG} >$	VTP

其中 $V_{SG} = V_S - V_G$，V_{TN}、V_{TP} 是开启电压。

假设 NMOS 的开启电压为 1 V：

- G = 5 V、S = 0 V：栅源电压为 5 V，通道形成。
- G = 5 V、S = 4.5 V：栅源电压只有 0.5 V，截止。

同样是“栅极 5 V”，结果可以完全不同。 这就是后面理解传输门的关键。

还要记住：**管子导通，不代表输出一定为 1。** 输出是什么，要看这只管子接通后，把输出连到了哪里。

书里的特性曲线先掌握用途即可：截止时像断开的开关；充分导通且漏源电压较小时，可以用导通电阻表示。**MOS 的“饱和区”是恒流区，不能直接理解成理想闭合开关。** 暂时不用推导整套电流公式；遇到器件电流计算题时再深入。

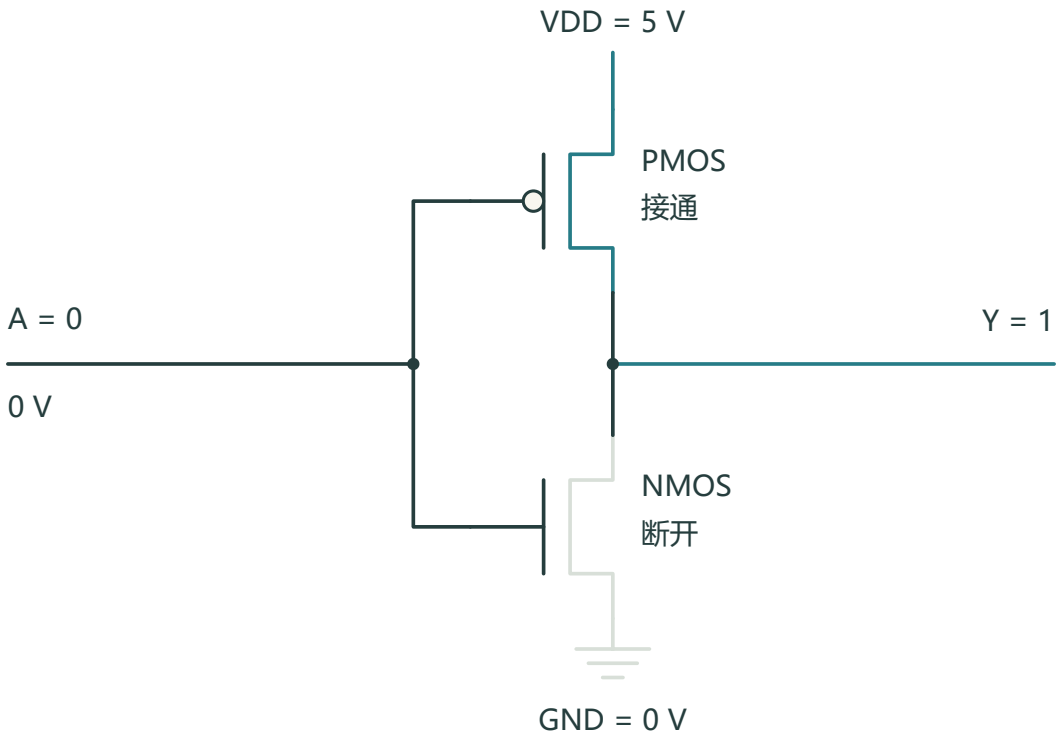
3.3.2 CMOS 反相器：接向电源还是地

> **学到什么程度**：能逐只判通断、找到输出通路，写出反相关系。
>
> **为什么讲这里**：这一结构是后面识别大电路中小块的基础。

它由两只管子组成：

- 上面的 PMOS，接通后把输出拉向电源。
- 下面的 NMOS，接通后把输出拉向地。
- 两只管子的栅极接同一个输入 A。

点一下输入，再勾选“显示开关等效图”：



上面接通、下面断开：输出被拉到约 5 V。

图 03 输入改变时，上拉与下拉交替工作；可切换开关等效图。

电源为 5 V 时，按栅源电压判断：

A = 0：上面 PMOS 的源极为 5 V、栅极为 0 V，所以接通；下面 NMOS 的栅源电压为 0，所以截止。输出接向 5 V，得到 **Y = 1**。

A = 1：栅极为 5 V，上面 PMOS 截止，下面 NMOS 接通。输出接向地，得到 **Y = 0**。

因此：

$$Y = \overline{A}$$

做题必须会的步骤只有三个：判通断 → 找输出通路 → 判高低电平。

合法的高、低输入稳定下来后，一只管子通、另一只关，所以电源到地之间没有持续的低阻通路，静态功耗很小。输入切换时会给电容充放电，也可能短暂出现两管同时导通，因此动态功耗仍然存在。

3.3.3 CMOS 静态特性与噪声容限

> **学到什么程度：**分清四种电平参数，会算高、低电平噪声容限。
>
> **为什么讲这里：**参数说明实际门能否可靠连接；额定值以题设及对应测试条件为准。

输入要求与输出保证值必须分开

输入低电平允许上限记为 $V_{IL(\max)}$，输入高电平要求下限记为 $V_{IH(\min)}$。输出低电平最差上限为 $V_{OL(\max)}$，输出高电平最差下限为 $V_{OH(\min)}$。

电压传输特性描述输入电压连续变化时输出怎样变化。稳定的高、低输入使反相器分别落在两个逻辑工作区；转换区的输出对输入变化较敏感，不能把中间电压当作一个额外的可靠逻辑值。

噪声容限是在给电平留余量

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)}$$

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)}$$

例如某题给出输出高电平至少 4.4 V，后级输入高电平至少要求 3.15 V，高电平余量为 1.25 V。**不同系列、供电及测试负载下的参数不同；代入本题给的值。**

输入电流小与输出带得动多少，是两件事

在正常输入范围内，静态 CMOS 栅极输入电流很小；但输出级导通电阻不为零。拉高时负载电流增大会使输出下降，拉低时负载电流增大会使输出上升，所以要在规定输出电平下检查允许输出电流。

若后级也为 CMOS，稳态输入漏电虽小，切换时仍要给多个输入电容及连线电容充放电。**直流电流算得过，不等于延迟和切换速度可以忽略。**

静态参数题先列出四个电平，再看电流；器件曲线的用途是说明变化趋势，现阶段不要求把每条曲线上的点背下来。TTL 与 CMOS 的接口在后面用同一套条件计算。

3.3.4 波形与传播延迟：习题 3.4

> **学到什么程度**：会按输入跳变划分区间，考虑各级延迟并判断短脉冲宽度。
>
> **为什么讲这里**：逻辑抵消不消除真实器件延迟；波形题必须保留它。

本节学习 **“怎样画输出波形，以及算上延迟后，为什么会多出一个短脉冲”**。这直接对应习题 3.4，属于要会做题的内容。

先抓住一句话：**逻辑式告诉你输出应该是多少；传输延迟告诉你输出什么时候变成那个值。**

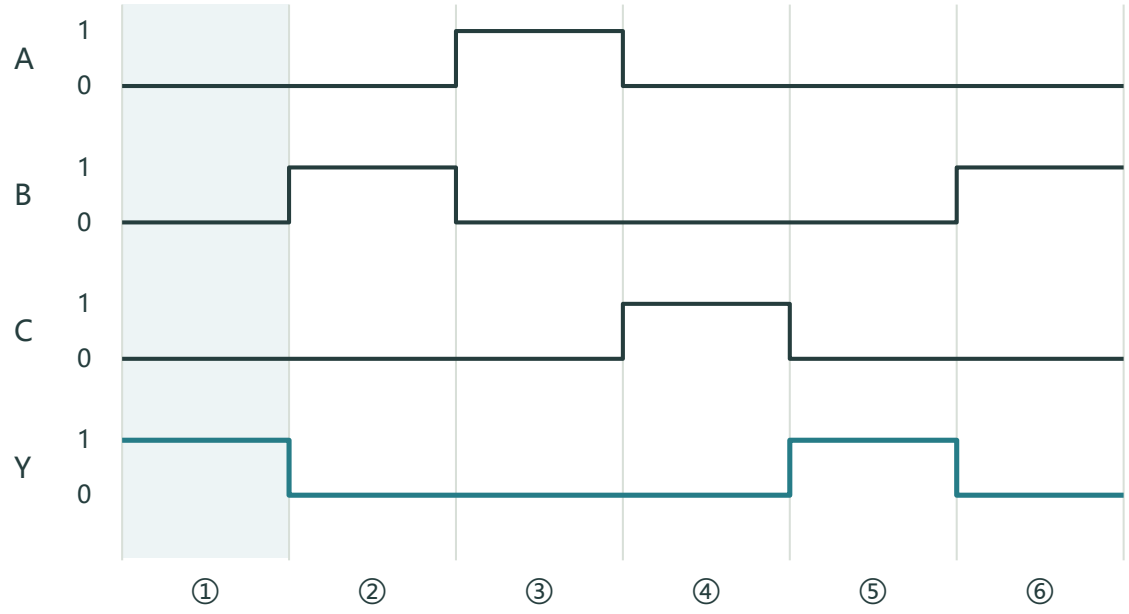
对三输入或非门，有：

$$Y = \overline{A + B + C}$$

因此，只有 A、B、C 全为 0，输出才是 1。

画波形时，把所有输入发生变化的时刻当作分界线。**每两个分界线之间，输入保持不变，你就把这一段当作一道小真值表题。**

下面是我给这个逻辑式配的练习输入，先忽略延迟。可以切换时间段，看这一段的输入和输出。



①：A = 0，B = 0，C = 0，Y = 1

图 04 按全部输入跳变时刻划区间，输出只在逻辑结果改变时跳变。

这里不必每段重新推导一遍公式。直接找：**哪几段三个输入都低？这些段的输出就高。**

以后遇到与非门、异或门、传输门组成的电路，也用这个办法：先求逻辑关系，再按时间段判断。

现在看书上的 **习题 3.4**，在辅导书印刷页 187—188。

电路中，A 经过两个反相器，再和 B 一起进入与非门。我把两个反相器的输出分别标为 X_1、X_2。

忽略延迟时：

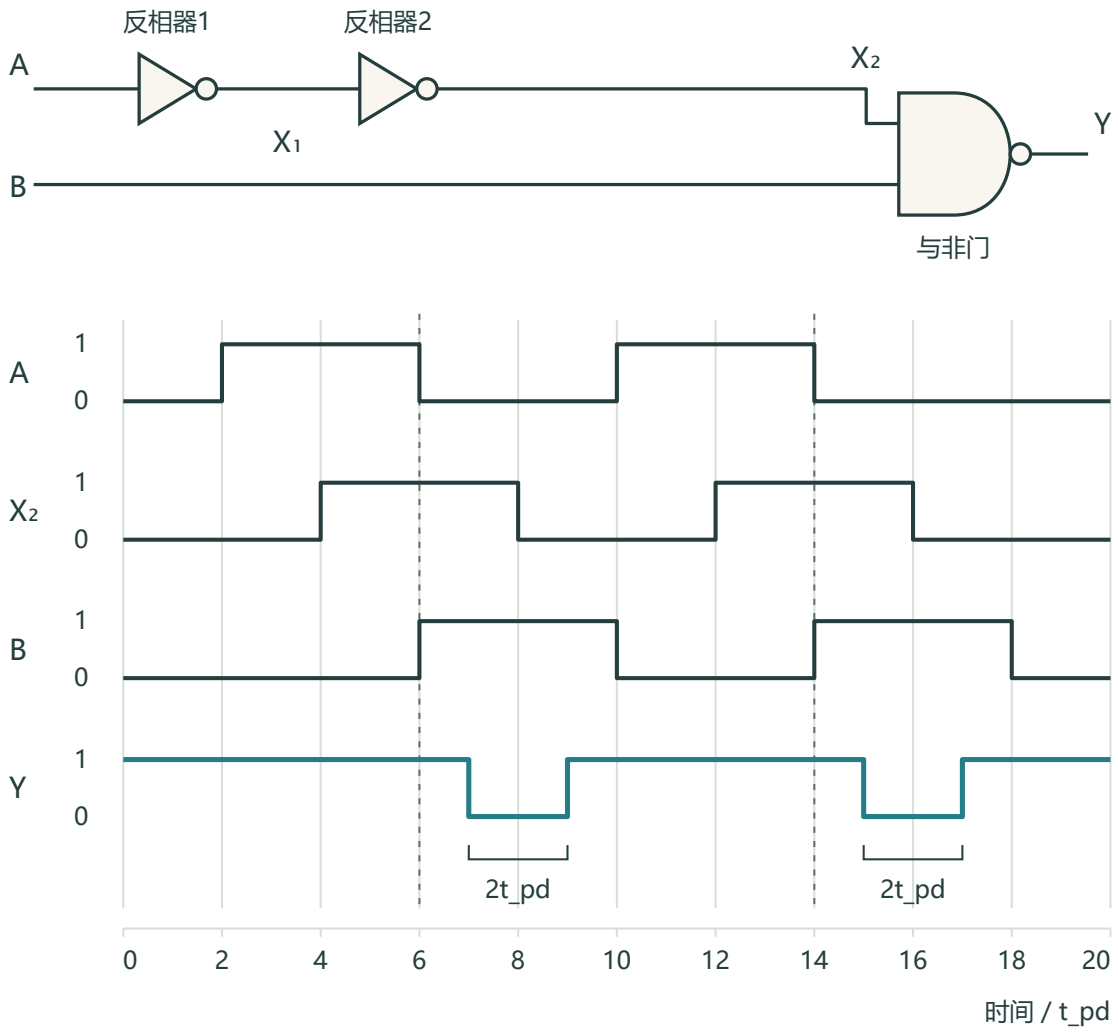
$$X_1 = \overline{A}, \qquad X_2 = \overline{X_1} = A$$

所以：

$$Y = \overline{X_2 B} = \overline{AB}$$

观察题目输入：**A、B 没有同时为 1 的时间段。**因此，忽略延迟时，Y 一直为 1。

下面可以切换两种情况。横轴数值是为了演示安排的，每个时间单位代表 t_{pd}；电路和输入变化顺序对应原题。



考虑延迟：X₂比A晚2t_pd；Y出现两个低脉冲。

图 05 习题 3.4。比较忽略和计入反相器延迟，低脉冲宽度由路径时差决定。

选择“每门延迟 t_{pd}”之后，重点盯住 X_2 **和 B**：它们才是与非门真正收到的两个输入。

每个反相器都需要一个 t_{pd} 才能改变输出。A 经过两级，所以：

X_2 的高低变化和 A 一样，但整体晚了 $2t_{pd}$。

两个反相器虽然在逻辑式里能抵消，实际经过的时间还在。

我们只分析第一条虚线处，把这个时刻叫作 t_0。此时 A 从 1 降到 0，B 从 0 升到 1。

1. **刚到 t_0：**B 已经变成 1，但 X_2 还没来得及跟着 A 下降，仍然是 1。与非门暂时收到了两个 1，因此它的输出应该变成 0。
2. **到 $t_0 + t_{pd}$：**与非门自身的延迟过去了，Y 才下降到 0。

3. **到 $t_0 + 2t_{pd}$：**A 的下降终于传过两个反相器，X_2 下降到 0。与非门的输入变成了“0、1”，输出应该恢复为 1，但还要再等它自己的延迟。

4. **到 $t_0 + 3t_{pd}$：**Y 恢复为 1。

所以这个低电平脉冲的宽度是：

$$(t_0 + 3t_{pd}) - (t_0 + t_{pd}) = 2t_{pd}$$

注意：宽度是 $2t_{pd}$，不是 $3t_{pd}$。前面的一个 t_{pd} 是等待脉冲开始的时间。

第二次 A 下降、B 上升时，同样会出现一个低脉冲。

而 A 上升、B 下降时，B 先变成了 0。此后即使 X_2 还没变化，与非门也不会收到两个 1，所以不会因此产生低脉冲。

这类题你需要掌握的做题步骤是：

- **不计延迟：**先求逻辑式，再按输入变化时刻分段判断输出。
- **计入延迟：**保留每一级门，逐级画中间节点的波形；每经过一级，按题目给定的延迟向右移。
- **最后一级有多个输入：**比较它实际收到的各路波形，再算输出；不能把最终答案统一向右挪一下就结束。

前面讲负载电容充放电，是为了让你理解**门电路为什么不能瞬间改变输出**。做这道题，只需要会使用题目给出的 t_{pd}，暂时不需要推 MOS 电流公式或 RC 充放电公式。

这次学到的标准就是：**能解释为什么“原始 A、B 从未同时为 1”，Y 却仍会出现低脉冲，并算出它的开始、结束和宽度。**

第三章 · 06 / CMOS 门电路

3.3.4 CMOS 功耗：习题 3.5、3.6

> **学到什么程度：**会求静态、动态、总功耗，反求功耗电容并换单位。
>
> **为什么讲这里：**功耗电容是内部损耗的等效参数，不是一只必须在电路图里找出的实物电容。

这些内容有计算题用途，需要掌握；但可以和“识别逻辑功能”分开练。

题型	必须掌握	为什么要学
延迟、波形	输出不会立即改变；t_{PHL} 表示输出从高到低的延迟，t_{PLH} 表示输出从低到高的延迟	做 3.4，避免把所有波形边沿画在同一时刻

题型	必须掌握	为什么要学
功耗	$P_S = V_{DD}I_{DD}$，$P_D = (C_L + C_{PD})fV_{DD}^2$，总功耗为两者之和	做 3.5、3.6
电平、噪声容限	分清输入要求和输出保证值；高电平容限为 $V_{OH(min)} - V_{IH(min)}$，低电平容限为 $V_{IL(max)} - V_{OL(max)}$	判断前一级输出能否可靠驱动后一级

拿 **3.5** 举例，代入题目给的数值：

$$P_S = 5 \times 2\,\mu A = 0.01\,mW$$

$$P_D = (200 + 20)\,pF \times 200\,kHz \times 5^2 = 1.10\,mW$$

所以总功耗为 **1.11 mW**，平均电源电流为：

$$I = \frac{1.11\,mW}{5\,V} = 0.222\,mA$$

这类题先会代公式和单位换算即可。 电容充放电的积分推导，是为了说明公式从哪里来；目前不必把推导背下来。C_{PD} 是计算内部动态功耗的等效参数，不是一只需要你在图中找到的实体电容。

最后再做一道参数题：习题 3.6，已知总功耗，反求功耗电容。

题目给出：

$$V_{DD} = 5\text{ V}, \qquad I_{DD} = 5\,\mu\text{A}$$

$$C_L = 100\text{ pF}, \qquad f = 500\text{ kHz}$$

$$P_{\text{TOT}} = 1.56\text{ mW}$$

要求的是功耗电容 C_{pd}。

这种题的顺序是：**先从总功耗里扣掉静态功耗，再用动态功耗求电容。**

静态功耗：

$$P_S = V_{DD}I_{DD} = 5 \times 5\,\mu\text{A} = 25\,\mu\text{W} = 0.025\text{ mW}$$

动态功耗：

$$P_D = P_{\text{TOT}} - P_S = 1.56 - 0.025 = 1.535\text{ mW}$$

根据本书使用的公式：

$$P_D = (C_L + C_{pd}) f V_{DD}^2$$

移项：

$$C_{pd} = \frac{P_D}{f V_{DD}^2} - C_L$$

代入时，把单位换成 W、Hz、F：

$$C_{pd} = \frac{1.535 \times 10^{-3}}{500 \times 10^3 \times 5^2} - 100 \times 10^{-12}$$

得到：

$$C_{pd} = 22.8\ \text{pF} \approx 23\ \text{pF}$$

辅导书这一处印的是“约 13 pF”，与它列出的算式不符。按题面数据，应得到约 23 pF。 即使先将动态功耗四舍五入为 1.54 mW，结果也仍约为 23 pF。

这类题容易错在三处：

- 用总功耗直接代替动态功耗，漏掉扣除 P_S。
- 忘记最后减去负载电容 C_L。
- 混用 mW、kHz、pF，没有处理单位。

C_{pd} 是描述门电路内部动态功耗的等效参数。为了做这道题，你需要知道它和外部负载电容一起参与功耗计算；暂时不需要把内部每一项损耗都拆出来推导。

第三章 · 07 / CMOS 门电路

3.3.5 与非门、或非门的串并联通路

> **学到什么程度**：能由下拉通路条件写逻辑式，并用上拉网络复核。
>
> **为什么讲这里**：串联与并联规律比记电路外形更有用。

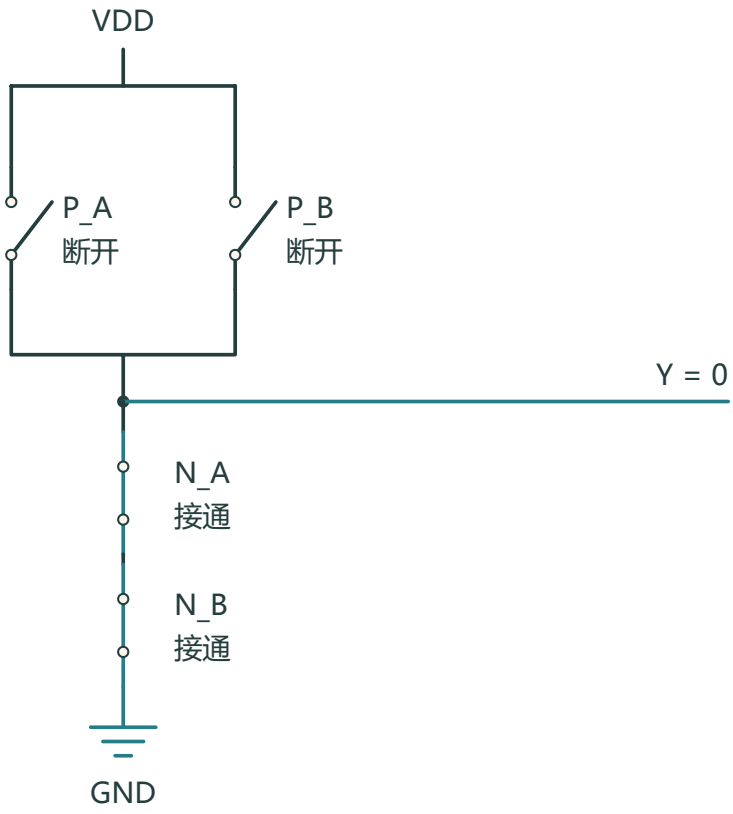
先记两个电路规则：

串联：全部接通，整条路才通。

并联：有一支接通，整条路就通。

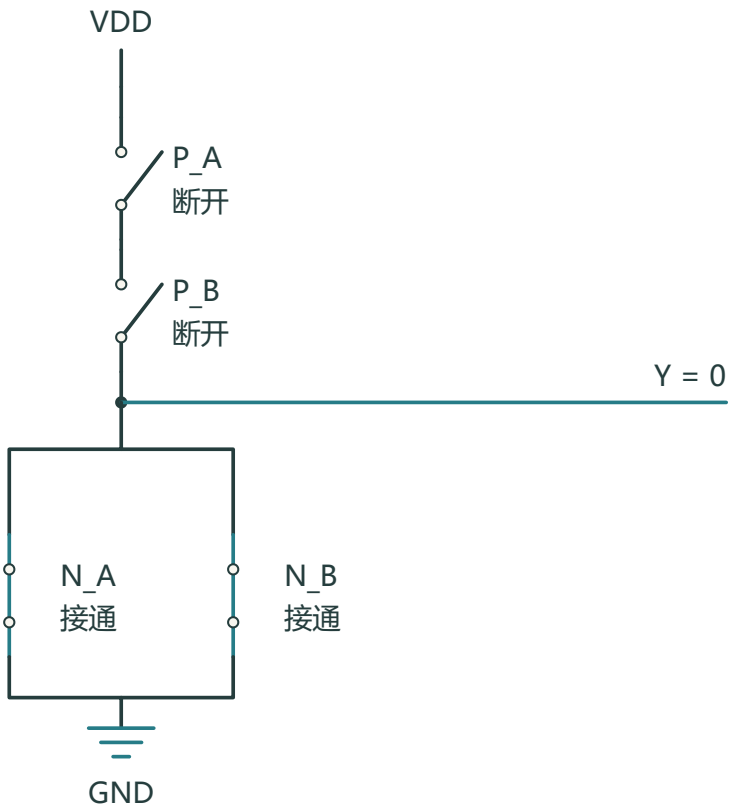
下面画的是 MOS 管的**开关等效电路**。P_A 表示由 A 控制的 PMOS，N_A 表示由 A 控制的 NMOS。

与非门：上并下串



与非门 · 下拉通路接通，上拉通路断开。

或非门：上串下并



或非门 · 下拉通路接通，上拉通路断开。

图 06 切换与非、或非并检查串并联通路。图为开关等效。

与非门：上面 PMOS 并联，下面 NMOS 串联。

只有 A、B 都是 1，下面两只 NMOS 才都接通，输出才被拉到地。因此：

$$Y = \overline{AB}$$

或非门：上面 PMOS 串联，下面 NMOS 并联。

A、B 只要有一个为 1，下面就出现通向地的路径，输出就是 0。因此：

$$Y = \overline{A + B}$$

这里的“+”表示逻辑或。

学到什么程度算够：给你一个由 MOS 管组成的陌生电路，你能逐级找出反相器、与非门、或非门，并给中间节点写表达式。这就是习题 3.7 的主要解法。

3.3.5 复合门：先找输出为零的条件

> **学到什么程度**：能由下拉网络推出 Y=¬(AB+C)，避免漏掉最后取反。
>
> **为什么讲这里**：图是方法练习，训练陌生晶体管网络的分析。

对正常工作的**静态互补 CMOS 门**，在理想逻辑模型下：

- 下拉网络存在输出到地的完整通路，输出为 0。
- 下拉网络没有完整通路，上拉网络接通，输出为 1。

因此，你可以先写出：

> 什么条件下，输出会被拉到 0?

然后将这个条件取反，就是输出逻辑式。

看下面这个自编电路。上面是 PMOS 上拉网络，下面是 NMOS 下拉网络。图中的 ON、OFF 按理想开关模型标记，用来判断完整通路。

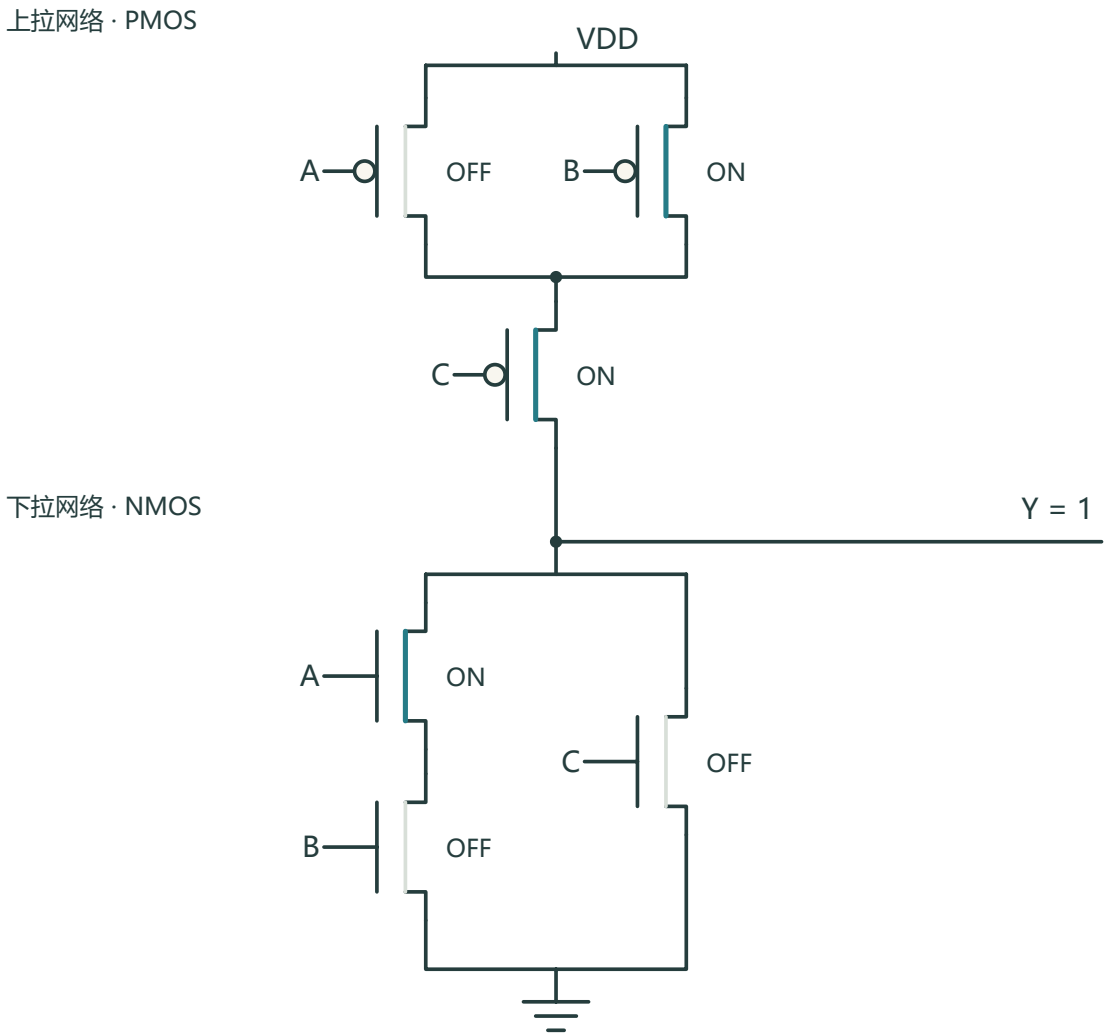


图 07 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

下面有两条并联支路：

一条支路是 A、B 控制的两只 NMOS 串联。**两只都接通，才形成完整通路**，所以条件是：

$$AB$$

另一条支路只有 C 控制的一只 NMOS，它接通的条件是：

$$C$$

两条支路并联，任意一条通，就能把输出拉低。因此：

$$\text{输出为 0 的条件} = AB + C$$

最后取反：

$$Y = \overline{AB + C}$$

这里最容易漏掉的是最后这个“非”。

串联对应“同时满足”，并联对应“任一满足”；从下拉网络得到的是输出为 0 的条件。

你可以切换图中的输入，验证三个情况：

- A=1、B=0、C=0：AB 支路被 B 截断，C 支路也断开，输出为 1。
- A=1、B=1、C=0：AB 支路接通，输出为 0。
- A=0、B=0、C=1：即使 AB 支路断开，C 支路也能单独把输出拉低。

这比一开始就列八行真值表更省力。

也可以用上拉网络复核：A、B 两只 PMOS 并联，再与 C 控制的 PMOS 串联。上拉接通条件为：

$$(\overline{A} + \overline{B})\overline{C}$$

根据德摩根定律：

$$(\overline{A} + \overline{B})\overline{C} = \overline{AB + C}$$

两种分析得到同一个结果，说明判断一致。

第三章 · 09 / CMOS 门电路

习题 3.7(a)：逐级认门与写式子

> **学到什么程度**：认出输入反相、中间与非与末级反相，得到三输入或非。
>
> **为什么讲这里**：需要每条信号路径逐级分析，不能数整张图的反相器数量猜结果。

这次练 **3.7(a)：从一堆 MOS 管中识别小电路，再逐级写逻辑式。**

做这类题，最重要的不是记住整张图，而是会拆。

① 先找反相器，再看剩下的网络。

在本题中，下面这种连接可以认成反相器：

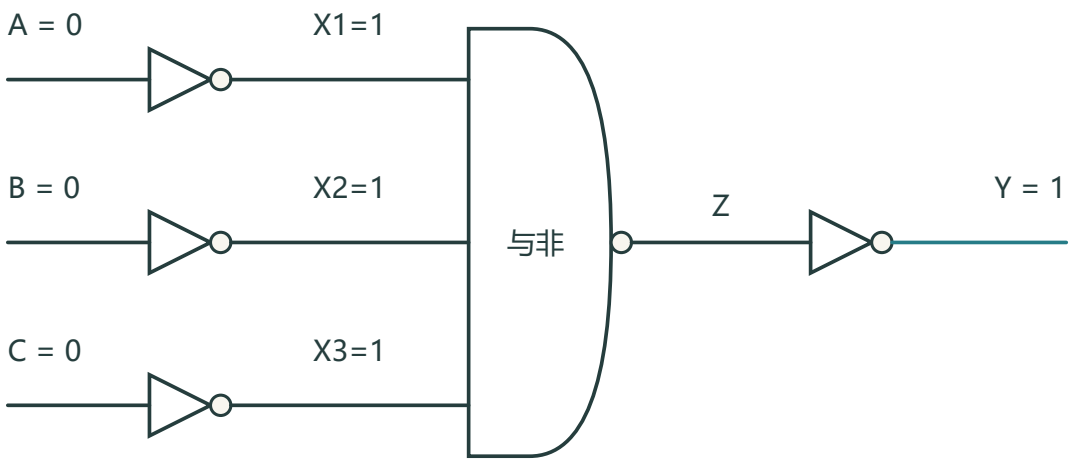
- 上面 PMOS 接电源，下面 NMOS 接地。
- 两只管子的栅极接同一个输入。
- 两只管子的漏极连接，作为输出。

输入 A 经过它，输出就是 A'。B、C 同理。

书上的 3.7(a) 可以拆成：**输入端的三个反相器、中间的三输入与非门、输出端的一个反相器。**

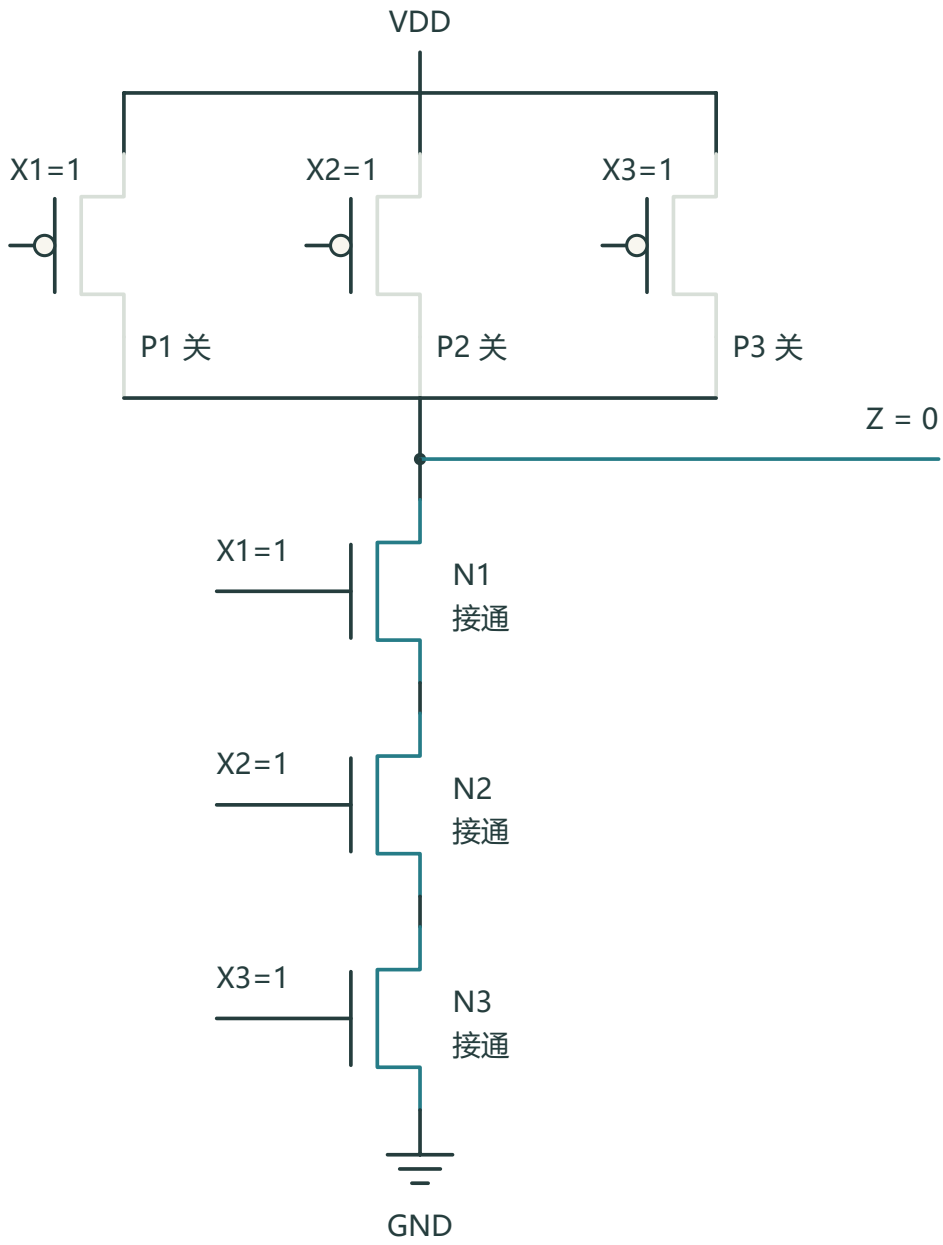
下面把这些小块画出来了。你可以切换到“中间与非门的 MOS 结构”，对照看它为什么是与非门：

3.7(a)：整题等效逻辑图



中间节点 Z = 0 · 末级反相后 Y = 1

中间与非门的 MOS 结构



中间节点 Z = 0 · 末级反相后 Y = 1

图 08 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

② 为什么中间是与非门？先看通向地的那条路。

把三个输入暂时叫作 X_1、X_2、X_3，中间输出叫 Z。

切换到 MOS 结构，可以看到：**Z 到地之间，有三只串联的 NMOS。**

NMOS 在对应输入为 1 时接通。串联通路要求每只都接通，因此：

$$X_1 = X_2 = X_3 = 1$$

时，Z 才能通过这三只管子接向地，得到 **Z = 0**。

只要有一个输入为 0，对应的 NMOS 就截止，下拉通路断开；同时，对应的 PMOS 接通，把 Z 拉向电源，得到 **Z = 1**。

所以：

$$Z = \overline{X_1 X_2 X_3}$$

这就是三输入与非门。

这里必须掌握的是“通路条件”。 不要只记“三只管子就是某种门”，要看它们是串联还是并联，以及这条路把输出接向哪里。

③ 回到整道题，给每一级输出起名字。

切回“整题等效逻辑图”。从左往右写，先处理三个输入反相器：

$$X_1 = A', \qquad X_2 = B', \qquad X_3 = C'$$

再处理中间的与非门：

$$Z = \overline{X_1 X_2 X_3} = \overline{A' B' C'}$$

注意，Z 还不是最终输出。右边还有一个反相器。

因此：

$$Y = \overline{Z} = \overline{\overline{A' B' C'}} = A' B' C'$$

最后用德摩根定律：

$$Y = A' B' C' = \overline{A + B + C}$$

所以，**整道题实现的是三输入或非功能。**

中间的小块是与非门，整道题的功能却是或非。这两者分别描述不同范围，做题时要分清。

④ 用两组输入检查，防止取反写错。

先试 A = B = C = 0。

三个输入经过反相器，都变成 1。中间与非门输出 Z = 0，再经过最后的反相器：

$$Y = 1$$

再试 A = 1、B = C = 0。

三个中间输入为：

$$X_1 = 0, \quad X_2 = 1, \quad X_3 = 1$$

中间与非门的下拉通路被第一只 NMOS 截断，Z = 1。最后再反相：

$$Y = 0$$

这与或非功能一致：**三个输入全部为 0，输出才为 1；任意一个输入为 1，输出就是 0。**

你可以点图中的 A、B、C，检查另外几种情况。

⑤ 这道题最容易出错的三个地方。

漏掉最后一个反相器。

认出中间与非门就停下来，会把 Z 当成 Y，答案少取反一次。

把取反范围看错。

$\overline{A'B'C'}$ 表示整个乘积取反，不是只把其中一个字母取反。写式子时，横线必须盖住它作用的全部内容。

数整张图有几个反相器，然后凭奇偶猜结果。

三个输入分别经过不同的反相器，不能把它们当成同一条线上串联的三次取反。必须沿各自的信号路径逐级分析。

真正需要练熟的是这个顺序：

1. 划出反相器、与非门等基本小块。
2. 给中间节点命名。

3. 从输入到输出逐级写式子。
4. 代入一两组输入检查。

这道题暂时不用 MOS 电流公式、导通电阻和电容。 因为它只问逻辑功能，按高、低输入判断通路已经足够。那些参数是为输出电压、驱动能力和延迟计算服务的，遇到相应题型再用。

最后做一个小改动：**如果去掉最右边的反相器，把 Z 直接作为输出，会变成什么功能?**

刚才已经得到：

$$Z = \overline{A'B'C'}$$

利用德摩根定律：

$$Z = A + B + C$$

于是变成**三输入或门。**

你能独立写出这道原题和“去掉末级反相器”的结果，就掌握了这类题最关键的分析方法。

第三章 · 10 / CMOS 门电路

习题 3.7(b)、(c)：缓冲级与禁止输入

> **学到什么程度**：会为各级输出命名，并区分 INH 强制为零与三态 Z。
>
> **为什么讲这里**：缓冲级改善电气特性；功能题仍需计入取反次数。

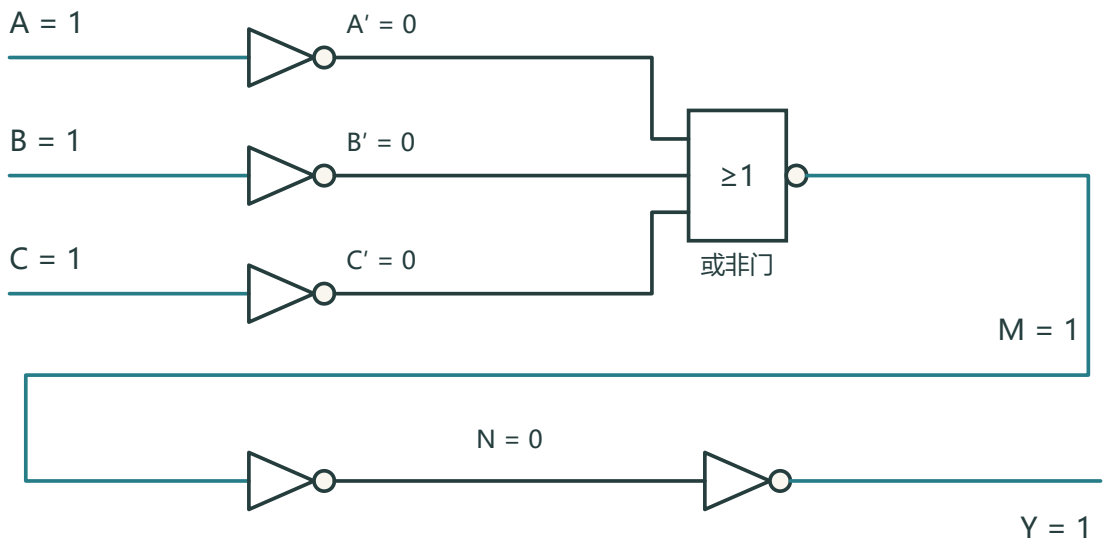
原图虽然画了很多 MOS 管，但做逻辑功能题时，先认出这些基本结构就够了：

- 一只上拉 PMOS、一只下拉 NMOS，共用输入：反相器。
- 下拉 NMOS 串联、上拉 PMOS 并联：与非门。
- 下拉 NMOS 并联、上拉 PMOS 串联：或非门。

然后给各级输出取名字。**先写中间节点，最后再化简，别试图直接从整张图猜最终答案。**

下面把原题改画成门级等效图，可以切换 (b)、(c)。图中方框内“&”加输出圆圈表示与非门，“≥1”加输出圆圈表示或非门。

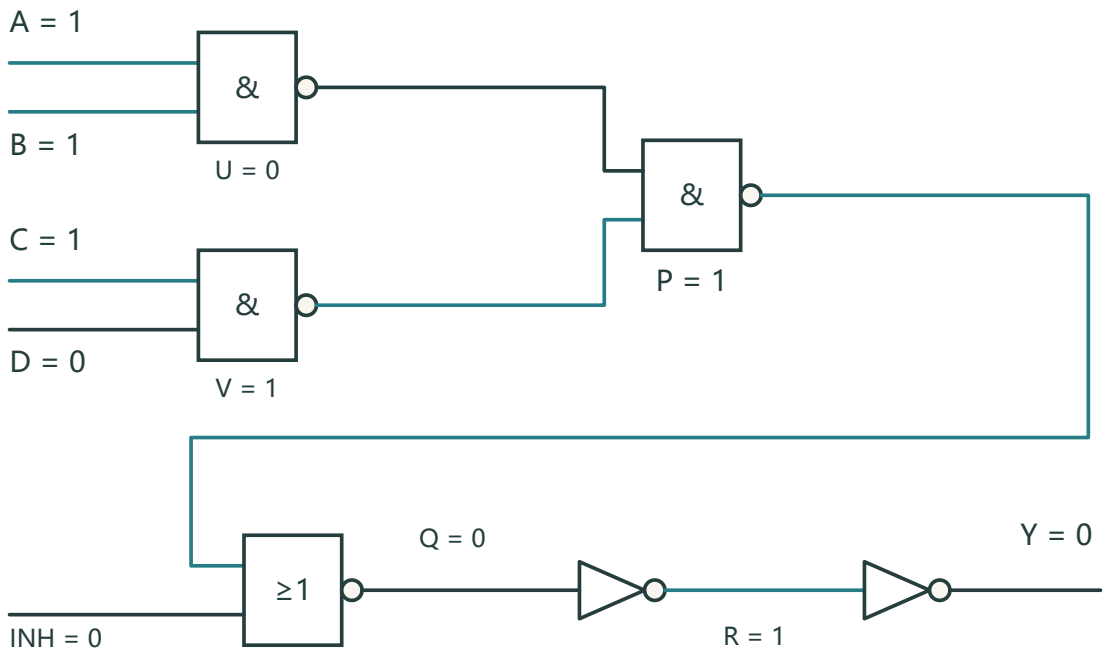
(b) · 五个反相器与或非门



门级等效图 · 忽略传播延迟

Y = 1 · 输出端连续两级反相器

(c) · 含 INH 的复合电路



门级等效图 · INH 是逻辑输入

INH = 0 · Y = 0

图 09 习题 3.7(b)、(c) 的门级等效图。选择题号后逐级检查中间节点。

先看 3.7(b)。电路包含三个输入反相器、一个三输入或非门，以及末端两个反相器。

输入经过前三个反相器，得到：

$$\overline{A},\quad \overline{B},\quad \overline{C}$$

它们进入或非门，所以中间输出：

$$M = \overline{\overline{A} + \overline{B} + \overline{C}}$$

再经过第一个输出反相器：

$$N = \overline{M}$$

再经过第二个：

$$Y = \overline{N} = M$$

因此：

$$Y = \overline{\overline{A} + \overline{B} + \overline{C}}$$

用德摩根定律化简：

$$Y = ABC$$

整张电路实现的是**三输入与门**，只有 A、B、C 全为 1 时，输出才为 1。

这里有两个需要掌握的点。

第一，看到中间有或非门，不能直接说整个电路就是或非门。 它接收到的输入已经被取反，后面也还有器件，必须沿信号走完。

第二，连续两次反相，在逻辑值上可以抵消。 但做传播延迟题时，两只真实的反相器仍然存在，延迟也仍然存在。

教材讲缓冲级，是为了说明为什么实际电路中会出现这些额外反相器：它们可以改善电气特性。你目前不用把每个缓冲级的器件参数都算一遍，但**必须把它造成的反相计入逻辑式。**

再切到 3.7(c)。这题最值得练的是逐级写式子。

前面两个与非门分别输出：

$$U = \overline{AB}$$

$$V = \overline{CD}$$

U、V 进入第三个与非门：

$$P = \overline{UV} = \overline{\overline{AB}\,\overline{CD}}$$

根据德摩根定律：

$$P = AB + CD$$

这一步要练熟：**两个与非结果再进入一个与非门，可以得到“与或”结果。**

接下来 P 与 INH 进入或非门：

$$Q = \overline{P + INH}$$

后面连续两个反相器，最终逻辑值仍为 Q：

$$Y = \overline{AB + CD + INH}$$

也可以写成：

$$Y = \overline{AB + CD}\;\overline{INH}$$

第二种形式，更容易看出 INH 的作用：

- **INH=0：** $Y = \overline{AB + CD}$，由 A、B、C、D 决定。
- **INH=1：** $Y = 0$，其他输入怎样变化都不能让输出变成 1。

INH 在这里是普通逻辑输入。它通过或非运算强制输出为 0。

这和前面学的三态门不同：三态门禁止输出时会停止驱动，标记为 Z。不能看到“禁止”“使能”这类名称，就直接认定输出是 Z；要看电路结构或题目给出的功能。

例如，令 A=1、B=0、C=0、D=1：

$$AB + CD = 0$$

此时 INH=0，输出为 1；INH=1，输出就变为 0。图中可以直接验证。

第三章 · 11 / CMOS 门电路

基本门怎样接成反相器：习题 3.3

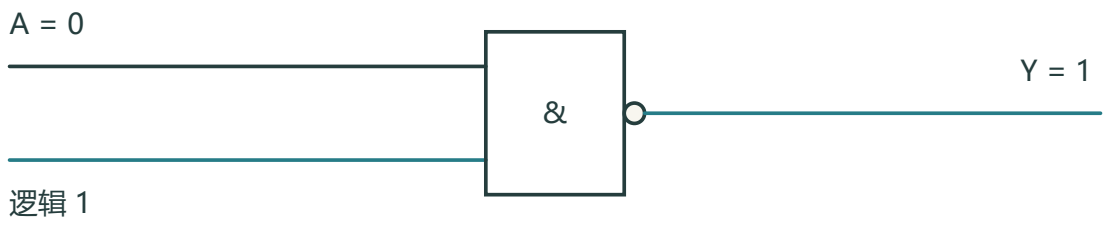
> **学到什么程度**：能说明与非、或非、异或门的接法与反例。
>
> **为什么讲这里**：接线方式来自逻辑恒等式，不靠死记图形。

这类题的目标很明确：

$$Y = \overline{A}$$

也就是 A=0 时输出 1，A=1 时输出 0。你要通过接线，让原来的门满足这两个条件。

下面可以切换门类型、第二个输入端的接法，再切换 A 检查：



反相器接法

两个输入取值都满足：Y 为 A 的反相

图 10 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

与非门有两种接法。

原式为：

$$Y = \overline{AB}$$

把第二个输入接逻辑 1：

$$Y = \overline{A \cdot 1} = \overline{A}$$

或者，把两个输入并接到 A：

$$Y = \overline{A \cdot A} = \overline{A}$$

因为布尔运算中 $AA = A$，所以两种接法都成立。

但如果第二个输入接 0：

$$Y = \overline{A \cdot 0} = 1$$

输出就被固定为 1，失去了反相功能。

或非门也有两种接法。

原式为：

$$Y = \overline{A + B}$$

第二个输入接 0：

$$Y = \overline{A + 0} = \overline{A}$$

或者两个输入并接到 A：

$$Y = \overline{A + A} = \overline{A}$$

因为 $A + A = A$。

但如果第二个输入接 1：

$$Y = \overline{A + 1} = 0$$

输出恒为 0，也不能当反相器。

异或门要把第二个输入接 1。

异或的规律是：两个输入不同，输出 1；相同，输出 0。

因此：

$$A \oplus 1 = \overline{A}$$

这里特别容易照搬前面的接法，把两个输入并接。这样得到的是：

$$A \oplus A = 0$$

异或门两个输入并接，输出恒为 0，不是反相器。

还要记住：

$$A \oplus 0 = A$$

所以，异或门的一端接 0，相当于让另一路信号原样通过；一端接 1，才把另一路取反。

这道题需要达到的程度是：**看到接法，能把固定值或重复变量代入原逻辑式，判断最终功能。** 不必重新分析每只 MOS 管。

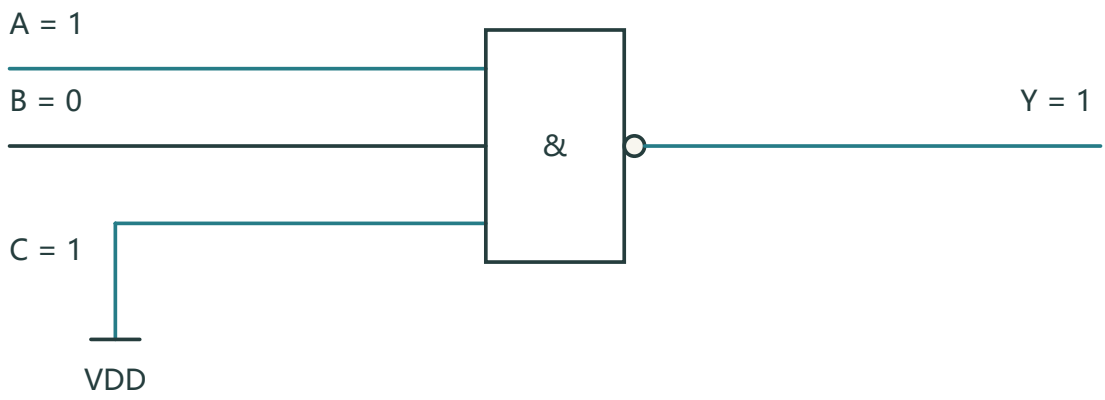
第三章 · 12 / CMOS 门电路

多输入门的闲置输入怎样处理

> **学到什么程度：**知道与类接 1、或类接 0 的逻辑理由，CMOS 输入不悬空。
>
> **为什么讲这里：**闲置输入的接法由需要保留的功能决定。

注意，目标变了。刚才要把门改成反相器；现在要让多余输入**不改变 A、B 原本的运算。**

看这个自编接线练习：



保留 A、B 的二输入功能

多余端采用逻辑运算的中性值

图 11 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

以三输入与非门为例：

$$Y = \overline{ABC}$$

想保留二输入与非功能：

$$Y = \overline{AB}$$

那么 C 就应该接 1：

$$Y = \overline{AB \cdot 1} = \overline{AB}$$

如果 C 接 0：

$$Y = \overline{AB \cdot 0} = 1$$

A、B 怎样变化都没用了。

再看三输入或非门：

$$Y = \overline{A + B + C}$$

想保留二输入或非功能，就把 C 接 0：

$$Y = \overline{A + B + 0} = \overline{A + B}$$

如果 C 接 1，输出就恒为 0。

这些接法来自两个最基本的关系：

$$X \cdot 1 = X, \qquad X + 0 = X$$

因此，为了保留其余输入的原有运算：

- **与门、与非门：多余输入接 1。**
- **或门、或非门：多余输入接 0。**
- **异或门：多余输入接 0，因为 $X \oplus 0 = X$。**

这里就能看出，为什么不能背成“异或门多余端一律接 1”。

改成反相器时接 1；保留原有异或运算时接 0。接法取决于题目的目标。

如果有两个多余输入，也分别接对应的中性值。例如四输入与非门只使用 A、B：

$$Y = \overline{ABCD}$$

令 C=D=1，就得到：

$$Y = \overline{AB}$$

CMOS 多余输入不能因为“不用”就悬空。

它仍然接着内部 MOS 管的栅极，仍然参与逻辑运算。输入电流很小，只表示它不需要持续吸取很大的电流；这不能保证悬空时自动成为 0 或 1。

再分清两个情况：

- **一只门正在使用，只是某些输入没用到：** 按目标功能给这些输入规定电平。
- **整只门都没使用：** 输入也应固定在合适的确定电平，使它保持稳定状态；它的输出可以不连接负载。

所以，**输入端不应悬空，与输出端可以不接负载，是两回事。**

第三章 · 13 / CMOS 门电路

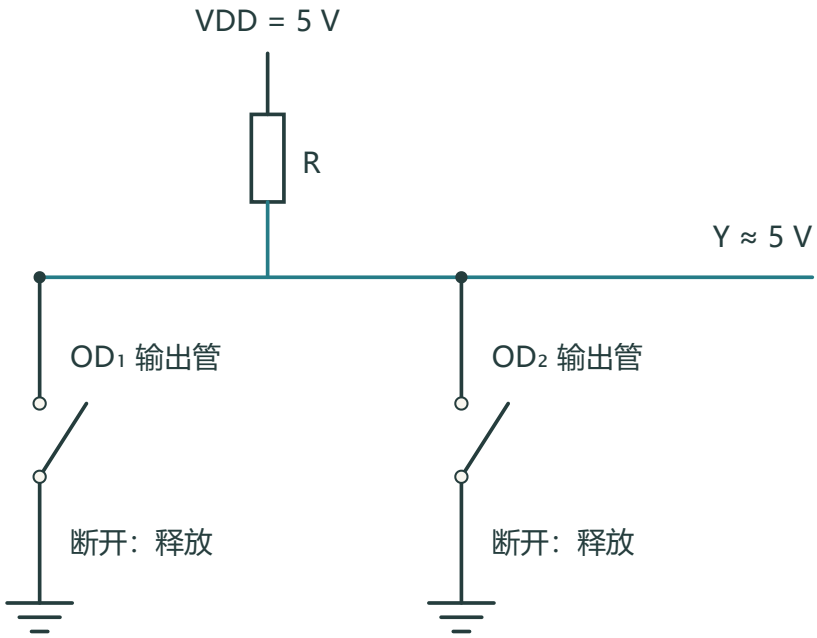
3.3.5 OD 输出与上拉电阻：习题 3.9、3.10

> **学到什么程度：**分高、低两状态求电阻上下限，正确计数输出与负载。
>
> **为什么讲这里：**上拉电阻既恢复高电平又形成电流约束，必须带着电路条件使用公式。

OD 输出的关键特点是：**输出级只有向地拉低的管子，没有主动向电源拉高的那只管子。**

所以输出管截止时只是“释放输出”，需要外接上拉电阻才能得到可靠的高电平。

点一下下面两只输出管，也可以撤去上拉电阻：



两只输出管都释放，上拉电阻把公共输出拉高。

图 12 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

两个 OD 输出接在一起时：

- 任意一个拉低，公共输出就是 0。
- 两个都释放，上拉电阻才能把公共输出拉高。

因此实现**线与**：

$$Y = Y_1 Y_2$$

这里允许直接相连的是 OD 输出，普通 CMOS 互补输出不能照搬这种接法。

上拉电阻计算题要抓两个限制：

R 太大：漏电流和负载输入电流在 R 上产生较大压降，高电平不够高，因此得到 R 的上限。

R 太小：输出拉低时流过输出管的电流太大，因此得到 R 的下限。

教材使用的计算形式是：

$$R_{\max} = \frac{V_{DD} - V_{OH要求}}{nI_{OH} + mI_{IH}}$$

$$R_{\min} = \frac{V_{DD} - V_{OL}}{I_{OL允许} - m' \mid I_{IL}\mid}$$

其中 n 数的是并联 OD 输出的个数，m、m′ 数的是负载输入端。**3.9、3.10 的重点是分别检查高、低两种状态，并正确数电流。**

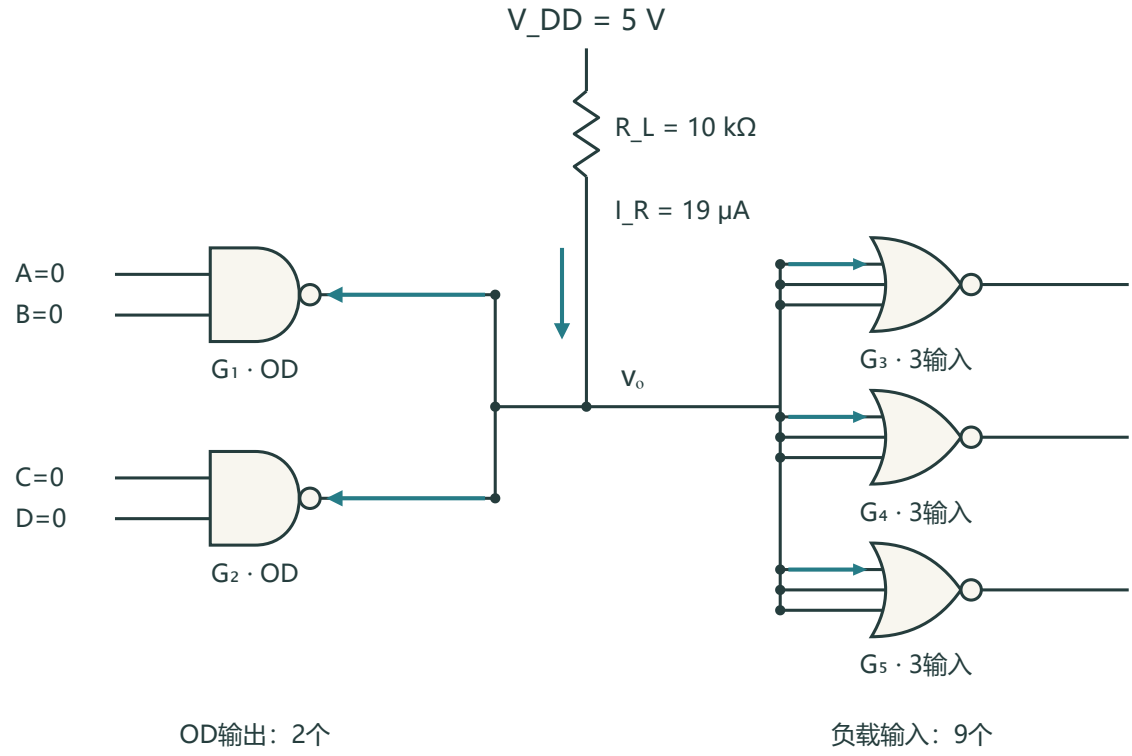
本节接着把 **OD 门的上拉电阻计算**做明白，直接对应习题 3.9、3.10。

你要掌握的是：**电阻太大，高电平可能不够高；电阻太小，拉低时的电流可能超过 OD 管的能力。**所以最后求出的是一个允许范围。

先回忆一下：OD 输出管导通时，把公共输出拉低；截止时，释放输出，由上拉电阻把它拉高。

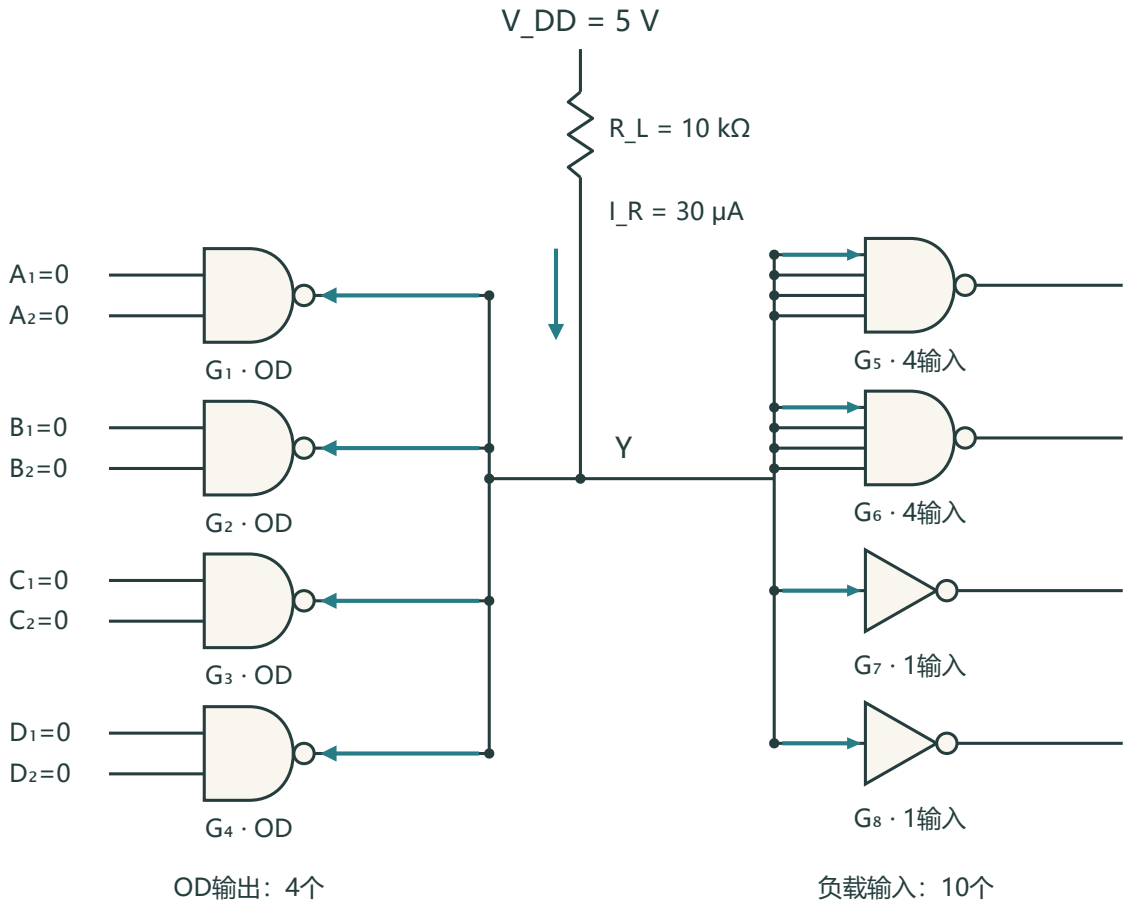
下面重画了两道题的电路，可以切换题目、输出状态和电阻。

习题3.9



按最大电流估算：v_o = 4.810 V，满足 ≥ 4.4 V 的要求。

习题3.10



按最大电流估算：Y = 4.700 V，满足 ≥ 4.4 V 的要求。

图 13 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

先选“习题 3.9”。

左边是 **两个 OD 门输出并联。**右边有三个负载门，每个门的三个输入端都接到公共输出，因此：

$$\text{OD输出数} = 2, \qquad \text{负载输入端数} = 3 \times 3 = 9$$

这里必须数接入的输入端。每个输入端都有输入电流，一个三输入门的三个端口都接上，就要算三份电流。

先算 **“电阻最大能取多少”**。

考虑所有 OD 管都截止、公共输出应该为高电平的情况。

题目给出：

- 每个 OD 管截止时，最大漏电流为 $5\,\mu A$。
- 每个负载输入端，高电平输入电流最大为 $1\,\mu A$。

上拉电阻要供给这些电流，所以最坏情况下：

$$I_R = 2 \times 5 + 9 \times 1 = 19\,\mu A$$

有电流经过电阻，就有压降。公共输出电压为：

$$v_O = 5V - I_R R_L$$

题目要求高电平至少达到 $4.4V$，所以电阻上的压降最多只能是：

$$5 - 4.4 = 0.6V$$

因此：

$$19\,\mu A \times R_L \leq 0.6V$$

得到：

$$R_L \leq \frac{0.6V}{19\,\mu A} \approx 31.6\,k\Omega$$

这就是上限的来源：**漏电流和输入电流经过上拉电阻；电阻越大，压降越大，输出高电平越低。**

在图中保持“全部 OD 管截止”，把电阻改为 $50\,k\Omega$，就能看到高电平为什么不满足要求。

再算 **“电阻最小能取多少”**。

考虑只有一个 OD 管导通、由它负责把公共输出拉低的情况。

虽然有两个 OD 门并联，但可能只有一个导通。因此不能把允许电流乘以 2。

题目说：单个 OD 管在输出低电平不超过 $0.33V$ 时，允许的最大灌电流是 $5.2mA$。

“灌电流”在这里就是：**从公共节点流入 OD 输出管、再流向地的电流。**

它需要接住两部分电流：

1. 从电源经过上拉电阻流下来的电流。
2. 从负载输入端流出来的电流。

第二部分容易弄反。题目给的低电平输入电流是：

$$I_{IL} = -1\,\mu A$$

负号表示：按题目规定的电流方向，低电平时电流从负载输入端流出来。九个输入端合计流出 $9\,\mu A$，最后也要由这个 OD 管接住。

在 $v_O = 0.33V$ 的边界上，必须满足：

$$\frac{5 - 0.33}{R_L} + 9\,\mu A \le 5.2mA$$

移项得到：

$$R_L \ge \frac{4.67V}{5.2mA - 9\,\mu A} \approx 0.90\,k\Omega$$

分母为什么是减号？因为 $5.2mA$ 是总额度，先扣掉负载流来的电流，剩下的额度才留给上拉电阻。

所以，电阻太小会使上拉电流太大，单个 OD 管就可能无法保证规定的低电平。

在图中切到“仅 G_1 的 OD 管导通”，再把电阻改为 $0.5\,k\Omega$，观察需要灌入的电流。

习题 3.9 的允许范围约为：

$$0.90\,k\Omega \le R_L \le 31.6\,k\Omega$$

例如 $10\,k\Omega$ 就能同时满足这两项要求。

现在切到 **习题 3.10**，用同一个方法迁移过去。

这次左边有四个 OD 输出。右边是两个四输入门，加两个反相器，接入的输入端总数为：

$$m = 2 \times 4 + 2 \times 1 = 10$$

高电平时，上拉电阻需要供给的最大电流为：

$$I_R = 4 \times 5 + 10 \times 1 = 30\,\mu A$$

因此上限变成：

$$R_{L(\max)} = \frac{5 - 4.4}{30\,\mu A} = 20\,k\Omega$$

低电平仍按**只有一个 OD 管导通**计算：

$$R_{L(\min)} = \frac{5 - 0.33}{5.2mA - 10\,\mu A} \approx 0.90\,k\Omega$$

所以这题的范围约为：

$$0.90\,k\Omega \le R_L \le 20\,k\Omega$$

它还要求写公共输出 Y 的逻辑式。每个 OD 与非门分别输出：

$$\overline{A_1A_2},\quad \overline{B_1B_2},\quad \overline{C_1C_2},\quad \overline{D_1D_2}$$

只要其中一个拉低，公共输出就低；全部释放，公共输出才高。因此“线与”是**各个门的输出相与**：

$$Y = \overline{A_1A_2}\,\overline{B_1B_2}\,\overline{C_1C_2}\,\overline{D_1D_2}$$

用德摩根定律合并：

$$Y = \overline{A_1A_2 + B_1B_2 + C_1C_2 + D_1D_2}$$

这轮学到的标准是：**能数对输入端，能分别列出高电平压降和低电平灌电流的不等式。**这些题用欧姆定律和电流相加就能做，不需要再推 MOS 管的电流特性曲线。

对应教材印刷页 88，以及辅导书印刷页 190、192—193。

第三章 · 14 / CMOS 门电路

单只 MOS 传信号：为什么会损失电平

> **学到什么程度**：能由栅源电压变化解释 NMOS 传高、PMOS 传低的限制。
>
> **为什么讲这里**：这为理解互补传输门提供原因；不需要在每道逻辑题重推器件电流。

继续。这次补上一个关键问题：**既然 NMOS 能当开关，传输门为什么还要并联一只 PMOS?**

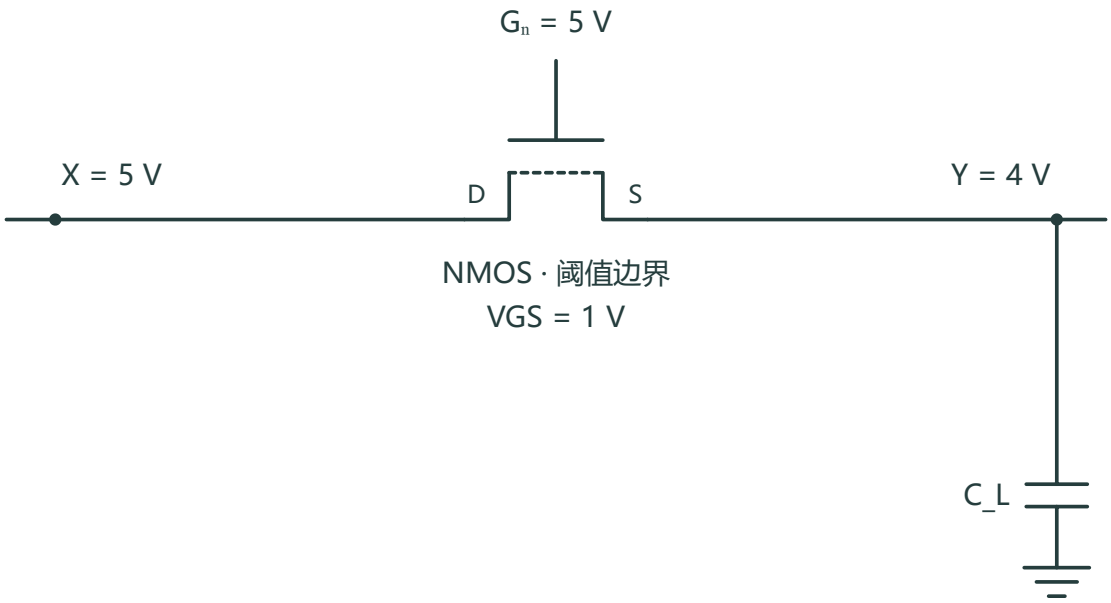
因为在通常的栅极控制电压下，**NMOS 擅长传低电平，PMOS 擅长传高电平。** 两者并联，才能把高、低电平都传完整。

这部分对做题有两个用途：一是计算单只 MOS 开关的输出电压；二是解释 CMOS 传输门为什么采用两只管。先不用推导完整的漏极电流公式。

先看一个算例：电源 5 V，阈值电压大小 1 V。 输出只接电容，没有直流负载；传高电平时，输出从 0 V 开始上升。这是固定阈值的近似模型，1 V 是示例值，实际做题要用题目给出的阈值。

图里可以切换管子、电平，以及充放电过程：

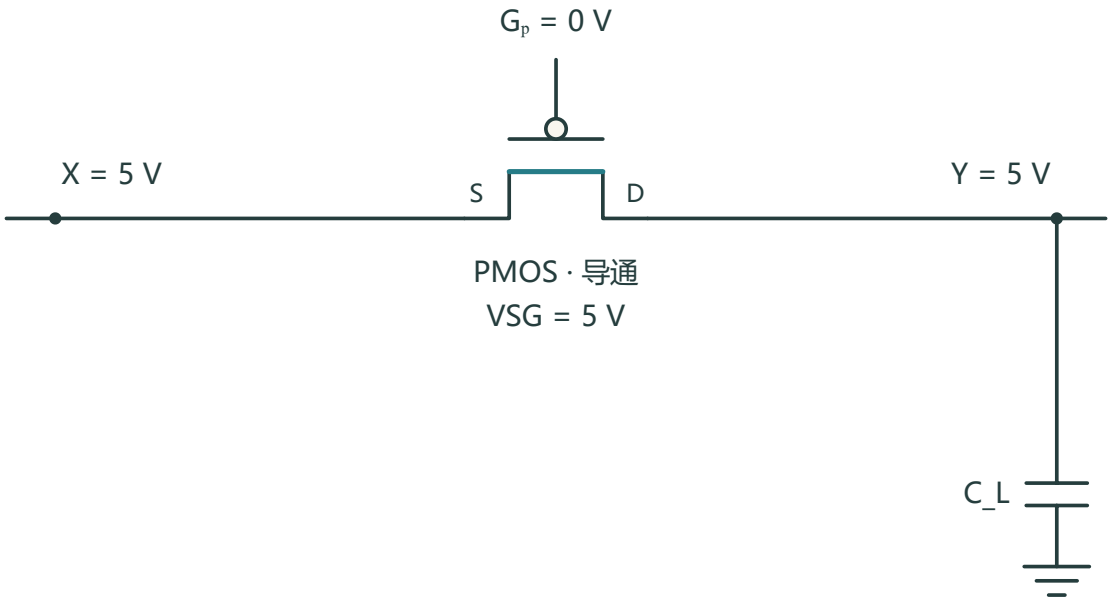
单只 NMOS



VDD = 5 V · |VT| = 1 V

接近截止 · 固定阈值近似 · 无直流负载 · 衬底连接省略

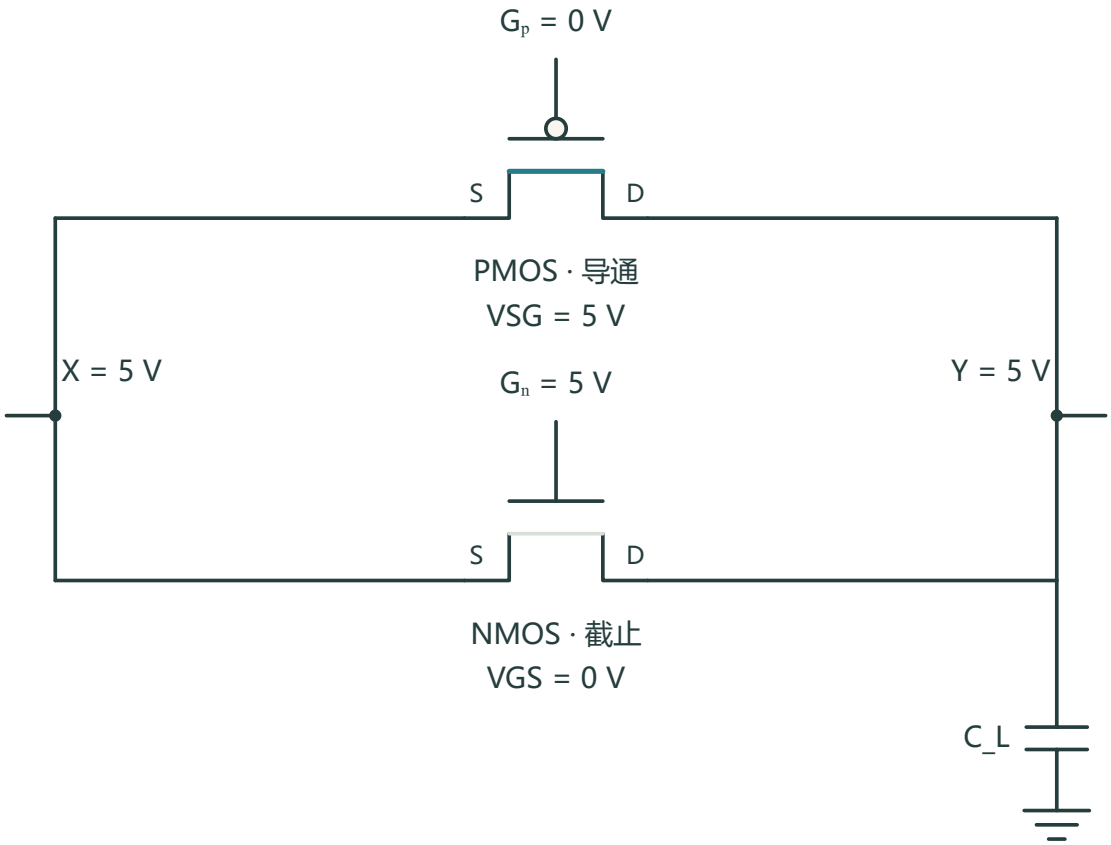
单只 PMOS



VDD = 5 V · |VT| = 1 V

电位相等 · 固定阈值近似 · 无直流负载 · 衬底连接省略

CMOS 传输门



VDD = 5 V · |VT| = 1 V

电位相等 · 固定阈值近似 · 无直流负载 · 衬底连接省略

图 14 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

先选“单只 NMOS”，输入选 5 V。为什么输出近似只能升到 4 V?

NMOS 的栅极接 5 V，但导通条件是：

$$V_{GS} = V_G - V_S > V_{TN}$$

在这个充电过程中，输出端电位低于输入端，它作为源极，所以：

$$V_{GS} = 5 - V_Y$$

于是，输出越升高，维持导通的电压差越小：

- 输出刚开始为 0 V，$V_{GS} = 5$ V，能导通并给电容充电。
- 输出升到 2 V，$V_{GS} = 3$ V，仍能继续充电。
- 输出接近 4 V，V_{GS} 接近阈值 1 V，充电能力趋近于零。

因此得到近似极限：

$$V_Y \approx V_G - V_{TN} = 5 - 1 = 4\ \text{V}$$

必须抓住这个因果关系：输出上升 → 源极电压上升 → V_{GS} 减小 → 接近截止。

这就是“NMOS 传弱 1”的含义：传出的高电平比输入低了一截。**它没有把 1 反相成 0。** 这个电压能否被后级认作逻辑 1，还要与后级的 V_{IH} 比较。

再把 NMOS 的输入切成 0 V，它为什么能把输出拉到 0 V?

此时输入端是电位较低的一端，作为源极，保持在 0 V：

$$V_{GS} = 5 - 0 = 5\ \text{V}$$

输出电容放电时，这个电压差不会随输出下降而缩小到阈值，因此可以一直放电到接近 0 V。这叫 **NMOS 传强 0。**

这里有个看图习惯要建立：**不要把图上左边或右边固定认成源极。** 在本节这类源漏对称的集成 MOS 开关分析中，NMOS 按较低电位端取源极，PMOS 按较高电位端取源极。

PMOS 的情况正好互补。把图切成“单只 PMOS”。

它的栅极接 0 V，导通看：

$$V_{SG} = V_S - V_G > |V_{TP}|$$

传 5 V 时，输入端作为源极，保持在 5 V，因而 $V_{SG} = 5$ V，可以把输出充到接近 5 V，称为 **传强 1。**

传 0 V 时，输出从 5 V 向下放电，输出端作为源极：

$$V_{SG} = V_Y - 0$$

输出越低，V_{SG} 越小；接近阈值 1 V 时，放电能力趋近于零，所以：

$$V_Y \approx |V_{TP}| = 1\ \text{V}$$

这叫 **PMOS 传弱 0**：低电平没能降到接近地电位。

现在切成“CMOS 传输门”，两只管并联的意义就明确了。

- 传低电平，NMOS 可以把输出拉到接近 0 V。
- 传高电平，PMOS 可以把输出拉到接近 5 V。
- 在一定的中间电压范围，两只管都能导通。

所以，**“传输门接通”不要求两只管始终同时导通。** 图中输出达到 5 V 时，NMOS 已截止，但 PMOS 仍提供通路；传输门整体依然接通。

做题时，把分析分成两种：

题目给单只 MOS、栅极电压和阈值，让你求输出电压： 必须写 V_{GS} 或 V_{SG}，判断输出变化是否会使管子接近截止。不能只凭“栅极为高电平”就把 NMOS 当成永远闭合的理想开关。

题目给完整 CMOS 传输门，让你求逻辑函数或画理想波形： 按控制端判断接通、断开，再沿数据通路找输出。不要给整个传输门凭空扣掉一个阈值电压。

这一轮需要掌握到：**能解释 NMOS 的强 0、弱 1，PMOS 的强 1、弱 0；能用栅源电压算近似极限；知道两者并联如何互补。** 体效应、漏电流和精确充放电时间会修正实际结果，目前不影响这组基础题的解题方法，可以先不展开。

对应教材第 89—90 页的传输门结构与导通条件。

3.3.5 CMOS 传输门：第 89—91 页精读

> **学到什么程度**：能推出两种导通范围，会分析课本异或电路、分压与传输系数。
>
> **为什么讲这里**：保留按段落展开的解释，分清分析前提、符号说明和必须会用的公式。

“互补性”在这里不是一个需要背定义的空词，而是说：

- NMOS 能把低电平传到接近 0 V，但传高电平可能损失一个阈值电压。
- PMOS 能把高电平传到接近电源电压，但传低电平可能不能降到 0 V。

于是，把它们的**源漏通路并联**：传低电平时由 NMOS 提供良好的通路，传高电平时由 PMOS 提供良好的通路。

这里的“并联”必须看准：**并联的是两条传送信号的源漏通路；两个栅极分别接互补控制信号。**

这一句需要理解，因为它回答了“为什么不能只用一只 MOS 管”。

第 1 段，第 2 句把传输门称为构成逻辑电路的“基本单元”。

意思是，传输门本身主要负责**控制一条信号通路是否接通。**把它与反相器等器件组合，可以实现更多功能。

这句话是在交代它的地位。现在不用因此提前学完整的寄存器、计数器；先把传输门本身的控制规律学会。

第 2 段，第 1 句规定了图中两只管的身份：T_1 是 NMOS，T_2 是 PMOS。

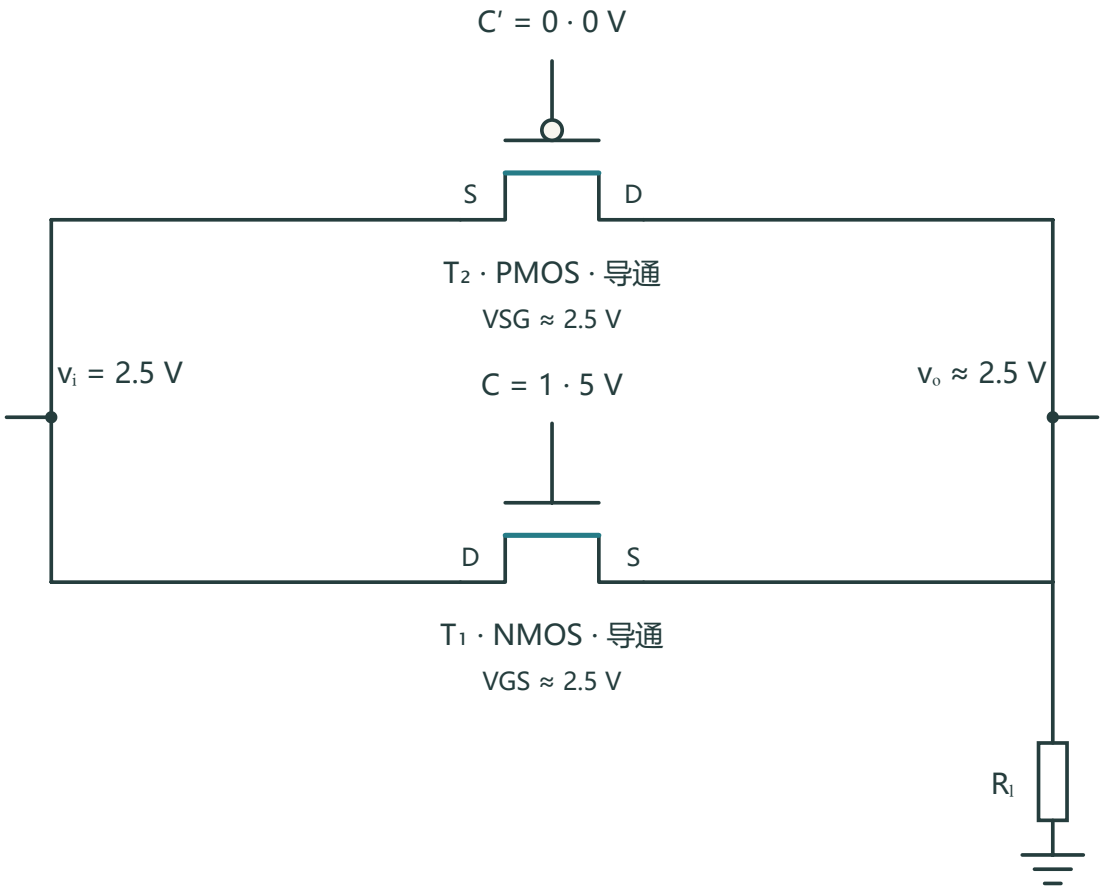
它们都是增强型 MOS 管，仍然使用之前的导通条件：

> NMOS：　$V_{GS} > V_{TN}$

> PMOS：　$V_{SG} > |V_{TP}|$

后面课本的各种不等式，都是从这两个条件得到的。

先看重画的结构。可以切换信号电压、控制端，也可以切换为 TG 符号：



$R_l \gg R_TG$ · 衬底接线省略

VDD = 5 V · 示例阈值大小 1 V · 接通

图 15 课本图 3.3.36—3.3.37 的教学重绘。源、漏角色按电位与本节集成结构判断。

图中为看清通路，省略了衬底接线；课本原图中，PMOS 衬底接电源，NMOS 衬底接地。

第 2 段，第 2 句解释“源极和漏极在结构上完全对称”，以及栅极引出端的画法。

这句话有两个层次。

首先，在本节讨论的这种集成 MOS 开关结构中，两端可以根据工作时的电位关系交换源、漏角色。因此，分析时不能把“画在左边”永远认成源极。

在课本随后采用的“左侧接正输入电压、右侧接对地负载”的情况下：

- PMOS 的输入侧电位较高，作为源极。
- NMOS 的输出侧电位较低，作为源极。

所以图 3.3.37 中，同样是左边输入、右边输出，**两只管的 S、D 标注方向却不同。**

其次，栅极引出端画在中间，是符号画法的说明。**栅极仍然是控制端，不是信号通路上的一个中间节点。**

做题要掌握源漏角色与电位的关系；栅极引出线具体画在哪里，认识即可。

第 2 段，第 3 句说明两只管的源漏端连接起来，作为输入、输出端。

把它翻译成电路连接关系，就是：

> 两只管都跨接在同一对信号节点之间。

因此，只要其中一只提供导电通路，信号就能从这对节点之间传递。

这也是为什么后面判断传输门接通时，课本说“至少有一个导通”，而不是要求两只始终同时导通。

第 2 段，第 4 句规定 C、C′ 是“互补的控制信号”。

这里的撇号表示取反：

$$C' = \overline{C}$$

所以正常控制时只有两种组合：

$$C = 0,\ C' = 1$$

或者：

$$C = 1,\ C' = 0$$

其中，逻辑 1 对应控制端的高电平 V_{DD}，逻辑 0 对应 0 V。

注意区别：

- **C、C′ 决定通路是否接通。**
- **v_I 是通路要传递的信号电压。**

输入信号可以是 0 V、5 V，也可以是 2.5 V。它不必与控制端同电平。

这一段的连接关系必须看懂，否则容易把控制信号误当成被传递的数据。

第 3 段设置了分析条件：一端接正电压 v_I，另一端接负载电阻 R_L。

这里先看图 3.3.37：负载电阻从输出端接到地。

这只电阻会影响两件事：

1. 接通时，它与传输门的导通电阻产生分压。
2. 断开时，它把输出节点拉向地。

所以，课文后面出现“输出为 0”，不能漏看这只电阻。

课本把并联结构拆成两个管的工作图，是为了分别判断它们的源极电位与栅源电压。**拆开画是分析方法，实际两只管仍然并联在同一对节点之间。**

第 90 页开头，第 1 句分析 C=0、C′=1 时的情况。

此时：

- NMOS 栅极接 0 V。
- PMOS 栅极接 V_{DD}。

课本同时限定：输入信号在 $0\sim V_{DD}$ 范围内。

对 NMOS，信号端没有低于地的电位，栅极又是 0 V，不能形成超过正阈值的 V_{GS}。

对 PMOS，信号端没有高于电源的电位，栅极又接电源，不能形成足够大的 V_{SG}。

因此，两只管都截止，输入与输出之间近似开路。

这就是 C=0 时传输门关闭的来源。 它不是因为“输入信号为 0”，而是因为控制端让两条通路都截止。

课本写的高阻数量级 $>10^9\Omega$，是在说明它可以近似看作开路。做基础逻辑题，重点是认识“高阻、通路断开”；不必把这个数当作所有传输门的固定参数。

这里的 $0\sim V_{DD}$ 也是分析前提，不能随意删除。

接着第 2 句分析 C=1、C′=0，并先加上 R_L 远大于导通电阻这个条件。

此时：

- NMOS 栅极接 V_{DD}。
- PMOS 栅极接 0 V。

但这句话没有直接结束，它还强调负载电阻足够大。

为什么？

因为负载电阻大，传输门上的分压小，才能近似认为：

$$v_O \approx v_I$$

后面用输入电压 v_I 判断 NMOS 状态，正是利用了这个近似。

先展开 NMOS 的导通范围。

在图 3.3.37 的接法中，NMOS 的源极是输出端，因此：

$$V_{GS,N} = V_{DD} - v_O$$

利用 $v_O \approx v_I$：

$$V_{GS,N} \approx V_{DD} - v_I$$

要求它导通：

$$V_{DD} - v_I > V_{TN}$$

移项得到：

$$v_I < V_{DD} - V_{TN}$$

这就是课本写出的 NMOS 导通范围。

它的含义是：**输入电压比较低时，NMOS 的栅源电压比较大，能够导通。**

这里不要直接背“不等式方向”。你要能从 $V_{GS} = V_G - V_S$ 推出来。

再展开 PMOS 的导通范围。

PMOS 的源极是输入端，栅极为 0 V，所以：

$$V_{SG,P} = v_I - 0 = v_I$$

导通要求：

$$v_I > |V_{TP}|$$

因此：

$$|V_{TP}| < v_I$$

含义是：**输入电压比较高时，PMOS 有足够大的源栅电压，能够导通。**

课本把 PMOS 阈值写成绝对值，是因为若使用 V_{GS} 的符号约定，PMOS 的阈值为负。我们用正的 V_{SG} 来分析，得到的是同一条导通规则。

这一句里的两个不等式，是本段最需要真正理解的内容。

用图中的示例值：

> $$V_{DD} = 5\ \text{V}, \qquad V_{TN} = \ |V_{TP}| \ = 1\ \text{V}$$

就得到：

- 输入低于 4 V 时，NMOS 能导通。
- 输入高于 1 V 时，PMOS 能导通。
- 在 1 ~ 4 V 的中间区域，两只都能导通。

等号处属于阈值边界，不能把它当作具有充分导通能力的状态。

这一段最后一句由此得出：信号在正常范围内变化时，至少有一只管提供通路，传输门接通。

两只管各自覆盖一部分信号范围，合起来覆盖所需的传递范围，这就是前面“互补性”的具体体现。

课本写低阻数量级 $< 1\ \text{k}\Omega$，是在与关闭时的高阻作比较。**接通电阻小，但不等于严格为 0。** 后面分压公式就是为了处理它的影响。

做题需要掌握：C=1 时传输门接通，但不能据此说两只 MOS 管在任何输入电压下都同时导通。

接下来一段讲“输入端和输出端可以互易”，也就是双向性。

它的意思是，通路接通后，信号端没有固定的传递方向。

你可以在第一张图中勾选“交换输入、输出端”：

- 电压源改接另一侧。
- 负载电阻移到新的输出侧。
- 栅极的 C、C′ 控制连接保持原样。

它仍然可以传递信号。

双向性描述的是两个信号端；控制端仍然负责控制开关。 不能把 C 当作第三个数据端一起交换。

这一点需要掌握，题目可能把传输门转个方向画。不能因为输入画在右边，就认为电路不能工作。

再下一段列举异或门、数据选择器、寄存器、计数器等应用。

这句话是在告诉你：传输门负责控制数据通路，配合反相器等基本电路，可以组成更大的逻辑电路。

这些名称现在理解用途即可。课本接下来只具体示范异或门，并没有要求你在这一段立刻设计完整的寄存器、计数器。

接着课本进入图 3.3.38：用两个反相器、两个传输门构成异或门。

这里严格按课本这幅图的连接分析：

- TG_1 的带圈控制端接 A，不带圈端接 A′。
- TG_2 的带圈控制端接 A′，不带圈端接 A。
- 上路数据是 B，下路数据是反相器产生的 B′。

因此：

> $$A = 0 \Rightarrow TG_1 \text{ 接通，传递 } B$$

> $$A = 1 \Rightarrow TG_2 \text{ 接通，传递 } B'$$

下面是对应的电路：

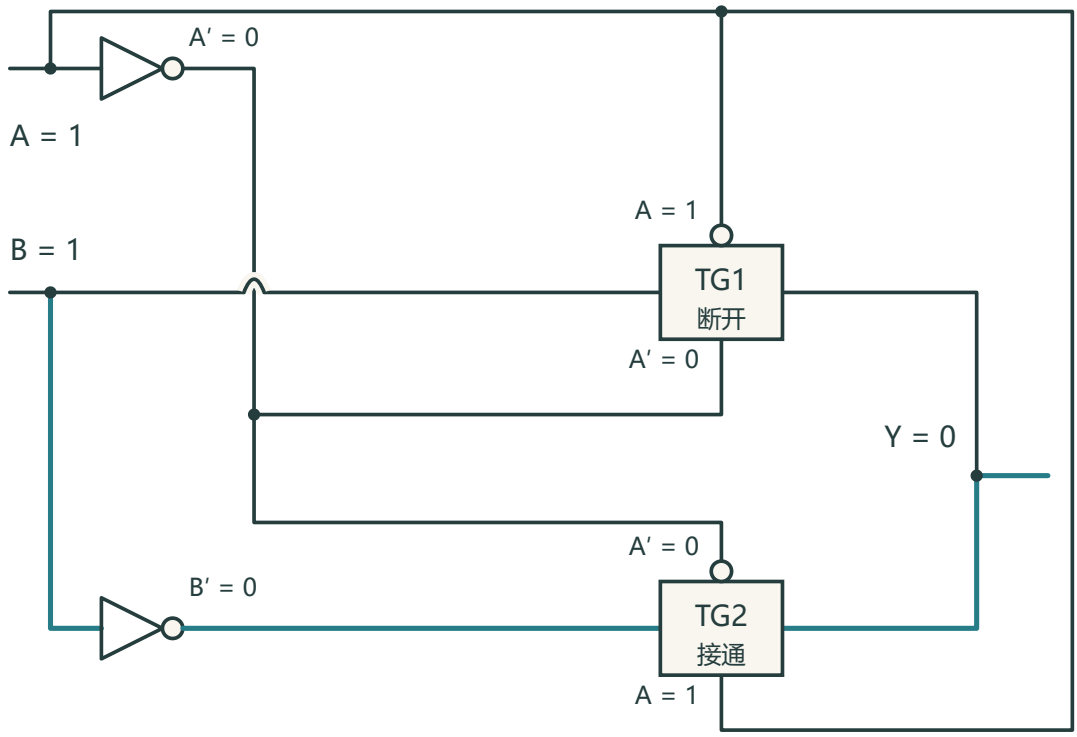


图 3.3.38 · 理想逻辑分析

TG2 接通 · Y 跟随 B′ = 0

图 16 课本图 3.3.38：A=0 选 B，A=1 选 B′，得到异或。

课本先列 A=1、B=0。

A=1，使 TG_1 关闭、TG_2 接通。输出选择下路 B′。

由于 B=0：

$$B' = 1 \Rightarrow Y = 1$$

注意，TG_2 只是把已经产生的 B′ 传过去，取反动作来自前面的反相器。

第二种情况是 A=0、B=1。

A=0，使 TG_1 接通、TG_2 关闭。

输出选择上路 B：

$$Y = B = 1$$

第三种情况是 A=B=0。

A=0，仍然选择上路 B：

$$Y = B = 0$$

第四种情况是 A=B=1。

A=1，选择下路 B′：

$$Y = B' = 0$$

这样四种情况都覆盖了：输入不同时输出 1，相同时输出 0。

下一句因此得出异或关系：

$$Y = A \oplus B$$

也可以直接从两条选路写出：

$$Y = \overline{A}B + A\overline{B}$$

这部分必须会做。遇到新的传输门逻辑图，方法仍然是：**先判断哪一路接通，再判断那一路的数据是什么。**

TG_1、TG_2 只是编号，不能凭编号记接通条件。

课本接下来讲传输门的另一个用途：作为“模拟开关”。

“模拟”在这里指可以传递连续变化的电压，例如 1.2 V、2.3 V、3.7 V，而不只是逻辑 0、1。

课本说一般逻辑门无法实现这种传递，意思是：

> 一般数字逻辑门按逻辑条件产生输出，并不会像闭合开关一样，让输出原样跟随任意连续输入电压。

例如，不能要求普通与非门把输入的 2.3 V 原样送到输出端。

随后一句说明，模拟开关的基本电路由传输门和一个反相器组成。

为什么需要反相器?

因为外部只提供一个控制信号 C，但传输门内部需要：

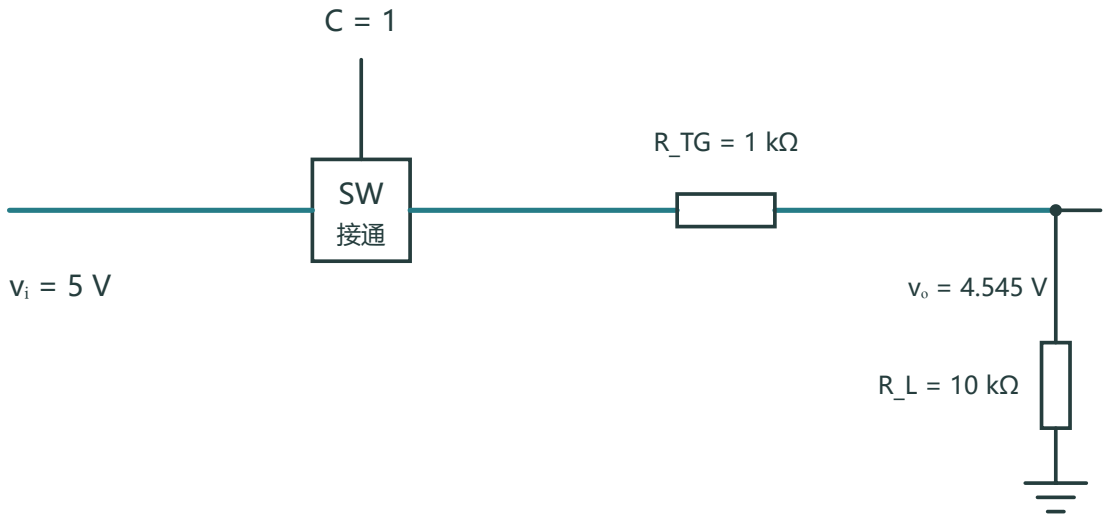
$$C, \qquad C' = \overline{C}$$

反相器负责产生互补控制。

于是，对外可以简化成一个具有单控制端的 SW 开关符号。课本中的 SW，就是 switch 的缩写。

下面可以切换结构图和分压等效图：

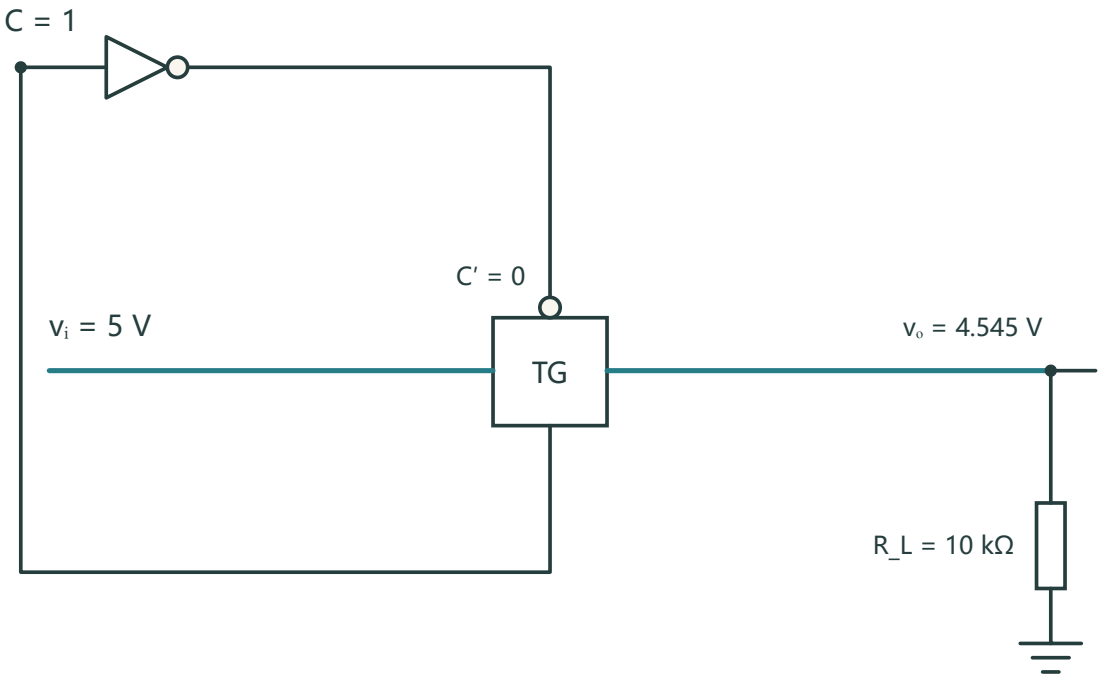
含导通电阻的等效图



R_TG 取给定常数 · 对地负载

接通 · K_TG = 0.9091

单控制端的传输门接法



R_TG 取给定常数 · 对地负载

接通 · K_TG = 0.9091

图 17 图 3.3.39—3.3.40 的模拟开关原理与分压。负载电阻接地是断开后输出近零的前提。

这里依然要分清：

- C 是决定接通、断开的数字控制信号。
- v_I 是被传递的电压，可以连续变化。

课本随后说它也是双向器件，原因仍然是传输门信号通路的双向性。

下一段先假定输出接负载电阻 R_L，并把开关导通电阻记为 R_{TG}。

R_{TG} 表示信号经过接通的传输门时，看到的等效电阻。

两只管都导通时，两条导电通路并联；只有一只主要承担传递时，等效通路主要由那一只提供。

做这一段的分压题，如果题目直接给了 R_{TG}，就使用这个给定值，不需要另外猜每只管的电阻。

然后课本说 C=0 时开关截止，得到 $v_O = 0$。

这个结论有明确的电路前提：**输出端通过 R_L 接地。**

开关截止后，输入无法通过开关驱动输出；忽略漏电流，输出被负载电阻拉到地：

$$v_O \approx 0$$

所以这里不能只背成“传输门关闭，输出就是 0”。

正确的因果关系是：

> 开关关闭，输入通路断开；输出端仍有对地电阻，所以输出接近 0 V。

这句必须理解，因为它直接关系到断开状态的判断。

下一句给出 C=1 时的输出电压，即式（3.3.10）。

开关接通后，把实际通路看成导通电阻 R_{TG}，它与 R_L 串联。

电流为：

$$I = \frac{v_I}{R_{TG} + R_L}$$

输出是负载电阻上的电压：

$$v_O = IR_L$$

因此：

$$v_O = \frac{R_L}{R_L + R_{TG}} v_I$$

这个公式不是新的神秘器件公式，就是普通的电阻分压。

做定量题，需要会用这个式子，不能把“接通”直接当成“没有任何压降”。

例如，取：

$$v_I = 5\ \text{V}, \quad R_{TG} = 1\ \text{k}\Omega, \quad R_L = 10\ \text{k}\Omega$$

则：

$$v_O = \frac{10}{10 + 1} \times 5 \approx 4.545\ \text{V}$$

如果把负载电阻增大到 $100\ \text{k}\Omega$：

$$v_O = \frac{100}{100+1} \times 5 \approx 4.950\ \text{V}$$

这就把前面“负载电阻远大于导通电阻”的作用显示出来了：负载电阻越大，开关上的分压越小，输出越接近输入。

第 91 页第一段定义“电压传输系数” K_{TG}，即式（3.3.11）。

课本把输出与输入电压之比记为：

$$K_{TG} = \frac{v_O}{v_I}$$

代入刚才的分压式：

$$K_{TG} = \frac{R_L}{R_L + R_{TG}}$$

它表示输入电压有多大比例传到了输出。

例如：

- $K_{TG} = 0.9$：传到输出的电压是输入的 90%。
- $K_{TG} \approx 1$：输出近似等于输入。

它是电压之比，**没有单位**。

如果题目要求输出至少达到输入的 99%，就写：

$$K_{TG} \geq 0.99$$

也就是：

$$\frac{R_L}{R_L + R_{TG}} \geq 0.99$$

整理得到：

$$R_L \geq 99R_{TG}$$

这就是这一段能直接转化成的计算题。需要会代入、会整理不等式。

下一段第 1 句提出两个目标：传输系数要尽量大，而且要稳定。

“尽量大”意味着接近 1，避免电压幅度损失太多。

“稳定”意味着输入电压变化时，传输比例不要明显变化，否则信号不同部位受到的衰减不同。

因此，课本提出：

$$R_L \gg R_{TG}$$

并且希望 R_{TG} 不随输入电压明显改变。

这两个要求解决不同的问题：

- 电阻比例合适，减小分压损失。
- 导通电阻稳定，减小传输比例随信号变化的问题。

第 2 句回指式（3.3.1）：MOS 管导通电阻与栅源电压有关。

这里是在解释真实 MOS 管的通路电阻并不是绝对固定的。

你目前先掌握这个因果关系：**栅源电压改变，沟道导电能力会改变，导通电阻也会改变。**

若题目直接给导通电阻，仍然按给定值计算。这段不是要求你做每一道传输门逻辑题时，都重新求器件电阻。

第 3 句把它与图 3.3.37 联系起来：输入电压变化时，两只管的栅源电压也变化。

前面已经推过，在接通、负载较轻的近似下：

$$V_{GS,N} \approx V_{DD} - v_I$$

$$V_{SG,P} = v_I$$

所以，当输入电压升高：

- NMOS 的栅源电压减小。
- PMOS 的源栅电压增大。

两只管的导电能力随之变化，各自的导通电阻，以及并联形成的 R_{TG}，就未必是常数。

互补并联解决了高、低电平传递的问题，但不能因此认定等效导通电阻在任何输入电压下都完全不变。

这一段需要理解原理。普通逻辑功能题不用展开计算这些变化；题目若专门给出导通电阻特性，才进一步计算。

最后一段说明，为了减小导通电阻及其变化，实际模拟开关结构还会改进。

课本随后用一个具体器件作例子，列出低至约 0.3Ω 的导通电阻，以及 1.65~3.6 V 的供电工作范围。

这里两个数的意思不同：

- 0.3Ω 描述开关接通后的电阻。
- 1.65~3.6 V 描述书中这个器件例子的供电范围。

它们是在说明实际器件可以改善传输性能。**本章基础逻辑题不需要背这个型号和这些产品参数；需要知道课本为什么举它——说明导通电阻及其稳定性是模拟开关的重要指标。**

第三章 · 16 / CMOS 门电路

习题 3.7(d)：同或与异或取决于接线

> **学到什么程度**：分别写 A=0、A=1 时所选数据，再合成逻辑式。
>
> **为什么讲这里**：课本图 3.3.38 与本题接线不同，不能凭 TG 编号背选路。

这一节**只练一个目标：从传输门电路写出逻辑式。** 我们直接做书上的 **3.7(d)**。

这道题不用计算 MOS 管电流，因为题目问的是逻辑功能。你只需要会：**认反相器、判传输门通断、追踪送到输出的信号。**

第一步：把电路拆成你已经认识的东西。

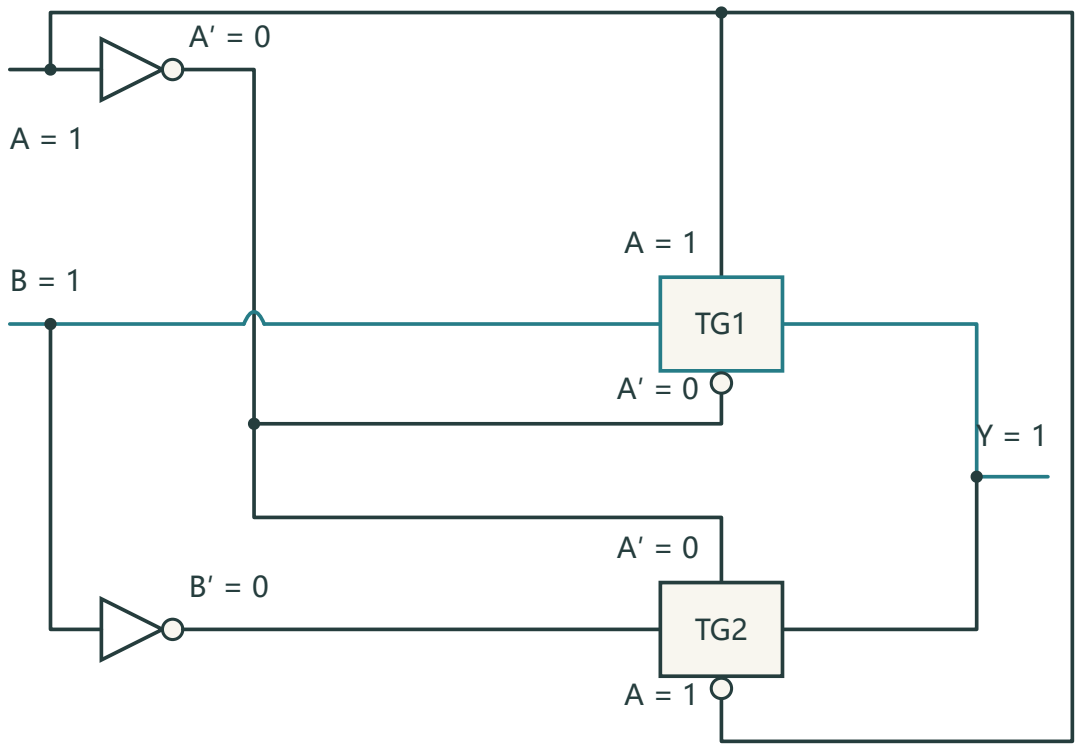
题中有两个反相器，分别产生：

$$A' = \overline{A}, \qquad B' = \overline{B}$$

还有两个传输门：

- **TG_1 传送 B。**
- **TG_2 传送 B′。**
- **A 和 A′ 控制选哪一个传输门。**

下面保留原题的连接关系，重新排清楚了。蓝色标出当前被选中的信号通路；交叉处的小弧线表示跨线、不相连。



TG1 接通，TG2 断开 · Y 跟随 B = 1

图 18 习题 3.7(d)：原题 A=1 选 B、A=0 选 B′，得到同或；与课本异或例子接线不同。

先别急着写公式。分清两种角色：A 决定选路，B 决定传过去的内容。

这句话是这类题的核心。

第二步：看控制端，判断哪个传输门接通。

对图中的传输门：

无圆圈的控制端为 1、带圆圈的控制端为 0，传输门接通。

注意：**控制端的小圆圈不表示把经过的信号取反。** 真正把 B 变成 B′ 的，是左边那个三角形反相器。

现在只需要分两种情况。

当 A = 1 时：

A′ = 0。上面的 TG_1，无圈端接到 1、带圈端接到 0，所以接通；下面的 TG_2 则断开。

沿接通的通路往左看，送过来的是 **B**，因此：

> $A = 1$ 时，$Y = B$

这里不要写成“TG_1 导通，所以 Y = 1”。**它传过来的是 B；B 可以是 0，也可以是 1。**

当 A = 0 时：

A′ = 1。TG_1 断开，TG_2 接通。

下面这条通路经过了 B 的反相器，送过来的是 **B′**，因此：

> $A = 0$ 时，$Y = B'$

至此，电路已经分析完了。**先得到这两句，再写逻辑式，比盯着整张图硬猜可靠。**

第三步：把“什么条件下，输出什么”翻译成逻辑式。

两种情况分别写：

- A = 1 时输出 B，对应 AB。
- A = 0 时输出 B′，对应 $A'B'$。

合起来：

> $$Y = AB + A'B'$$

这里的“+”表示逻辑或。

可以用两组输入检查：

A = B = 0：选中下面的 B′，而 B′ = 1，所以 Y = 1。

A = 1、B = 0：选中上面的 B，所以 Y = 0。

你会发现：**A、B 相同，输出为 1；不同，输出为 0。** 因而这道题实现的是**同或。**

不必先背“同或长什么样”。你从通路推出表达式，再认出它是同或，就能应对换过连接的题。

为什么两个传输门的输出可以接在一起?

在这道题的理想稳态分析中，两个传输门互补使能：**一个接通，另一个断开。** 公共输出 Y 由接通的那条路驱动。

因此，虽然图上两条路汇合了，却不能理解成“B 和 B′ 同时送过去”。另一条已经被断开的传输门隔开了。

这里讲这一点，是为了让你能判断类似电路是否会出现输出冲突或悬空；现在不需要研究切换瞬间的器件细节。

再改一点连接，你就能检验自己是否会了。

在图中选择“练习：调换两路信号”。控制连接不变，只改成：

- TG_1 传送 B′。
- TG_2 传送 B。

仍然按刚才的方法：

$$A = 1 \Rightarrow Y = B'$$

$$A = 0 \Rightarrow Y = B$$

于是：

$$Y = AB' + A'B$$

这次实现的是**异或**：A、B 不同，输出为 1。

同样是两个反相器、两个传输门，连接改变，逻辑功能就改变。 所以做题要追踪接通的通路，不能靠元件数量猜答案。

这类题学到下面这个程度就够了：**给你一张新图，你能分别写出“A = 0 时 Y 等于什么、A = 1 时 Y 等于什么”，然后合成逻辑式。** 暂时不需要重新分析每只 MOS 管内部的电子运动。

第三章 · 17 / CMOS 门电路

两个传输门组成二选一与波形分析

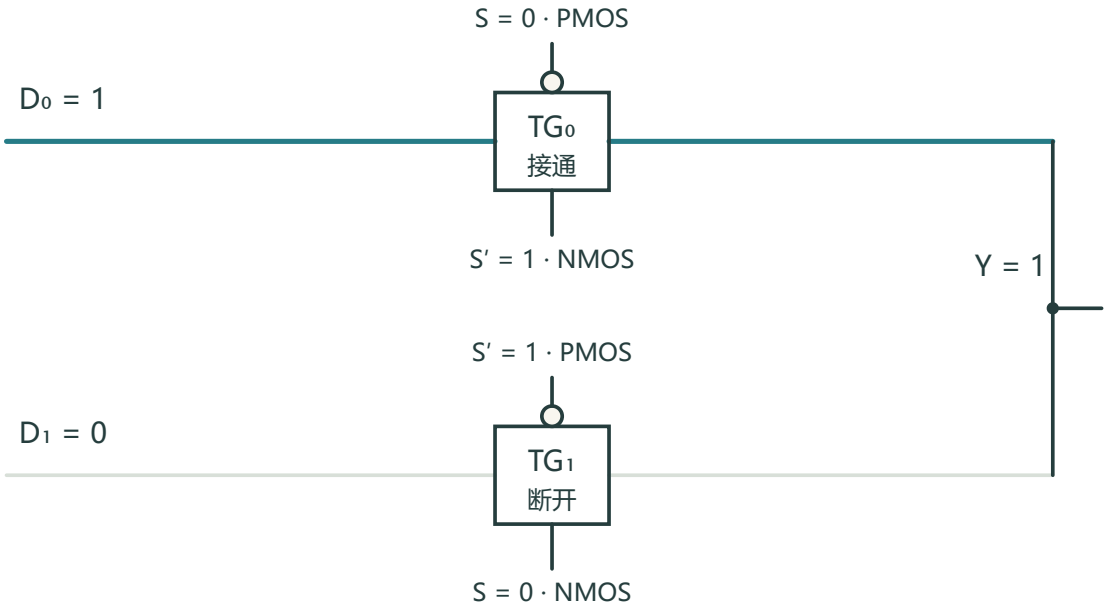
> **学到什么程度**：会写选择表达式，并只把被选数据画到输出上。
>
> **为什么讲这里**：二选一是理解传输门组合逻辑的通用方法。

前面已用传输门分析过异或与同或。现在把两路数据写成任意的 D_0、D_1，用 S 决定选哪一路。

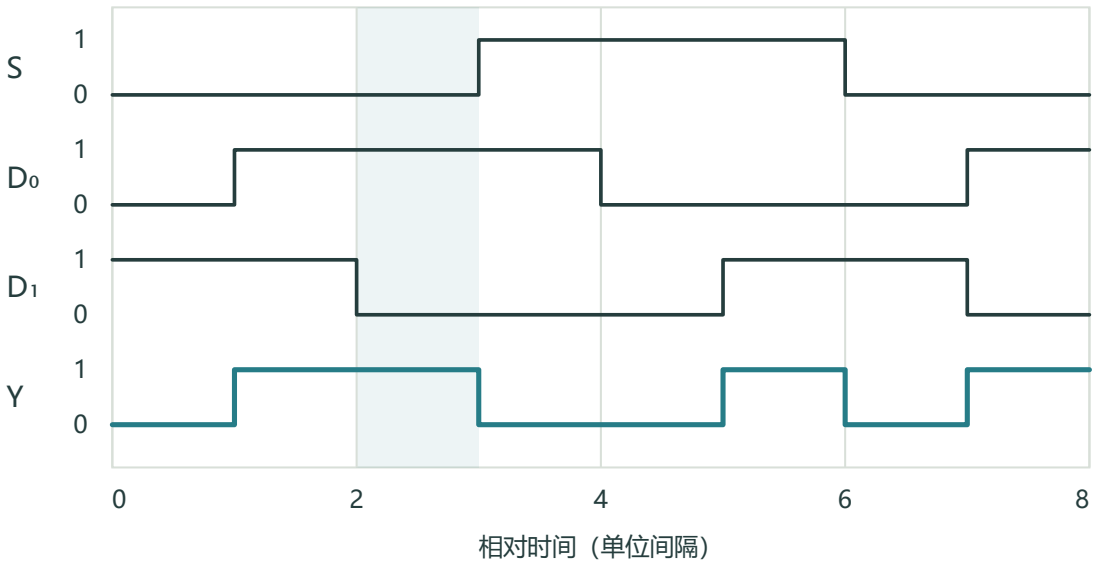
下面这个自编电路的接法是：

- S=0：上面的 TG_0 接通，下面的 TG_1 断开，输出跟随 D_0。
- S=1：下面的 TG_1 接通，上面的 TG_0 断开，输出跟随 D_1。

先得到互补控制信号 S'，再分别送到两只传输门的控制端。



互补控制 · 理想逻辑 · 忽略传播延迟



S = 0 · 选中 D₀ · Y = 1

图 19 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

写逻辑式时，分别写出两种选择情况：

S=0 时，上路的数据被选中，对应：

$$\overline{S}D_0$$

S=1 时，下路的数据被选中，对应：

$$SD_1$$

合起来：

$$Y = \overline{S}D_0 + SD_1$$

这就是二选一数据选择器的基本表达式。

对传输门题，先判断选哪一路，再看这一路是什么数据。 数据端的 0、1 决定被传递的内容，控制端决定通路是否接通。

这个式子还可以解释很多电路：

如果 $D_0 = 0$、$D_1 = B$，则：

$$Y = SB$$

得到与逻辑。

如果 $D_0 = B$、$D_1 = 1$，则：

$$Y = \overline{S}B + S = S + B$$

得到或逻辑。

如果 $D_0 = B$、$D_1 = \overline{B}$，则：

$$Y = \overline{S}B + S\overline{B} = S \oplus B$$

得到异或逻辑。

所以，做题时没有必要硬背“这个摆法是异或，那个摆法是同或”。**认出选择规律后，把两路数据代进去即可。**

注意，这些判断讨论的是输入稳定时的理想逻辑状态。图中两只传输门始终有一只接通，输出有被选中的数据源，因此这些区间不画 Z。

下面看同一张图的波形。画法固定成三个步骤就够了。

1. 找出所有输入的跳变时刻，用它们划分时间区间。
2. 在每个区间内，先看 S，确定选 D_0 还是 D_1。
3. 把被选中的数据电平画到 Y 上，再连接相邻区间。

不要看到某个输入跳变，就立刻在输出上也画一个跳变。

例如图中 **2 ~ 3** 这一段：

$$S = 0$$

所以输出跟随 D_0。虽然 D_1 在时刻 2 从 1 变成 0，但它没有被选中，输出仍保持 1。

再看 **4 ~ 5**：

$$S = 1$$

输出跟随 D_1。此时 D_0 发生变化，也不会影响输出。

这就是波形题经常考的地方：**某个输入变化是否影响输出，要由当前逻辑条件决定。**

还要养成一个检查习惯：如果相邻两个区间算出的输出相同，就连接成一条水平线，不要因为划了区间就画出跳变。

题目若明确要求考虑传播延迟，再逐级移动跳变位置；这张图按理想逻辑画，暂时不加延迟。

第三章 · 18 / CMOS 门电路

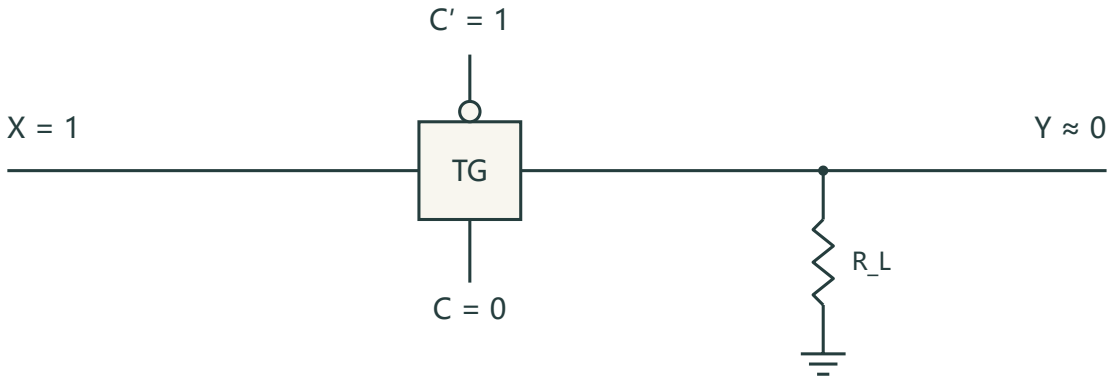
断开、悬空与 Z：输出节点由谁决定

> **学到什么程度**：能检查断开后是否仍有上拉、下拉或其他驱动。
>
> **为什么讲这里**：高阻描述通路停止驱动；它没有单独规定节点电压。

本节辨清：**传输门断开以后，输出为什么有时是 0，有时却写 Z？** 这会直接影响你判断逻辑状态、画输出波形。

0、1 表示逻辑电平；Z 表示高阻态，也就是这条输出通路不再驱动节点。 Z 没有规定一个电压值，不能把它画成“介于 0 和 1 之间”。

先看图，切换控制端 C，再切换输出端接法：



TG通路为高阻；Y节点由下拉电阻确定为0。

图 20 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

做传输门题，按这个顺序判断：

1. **先看控制端。** 图中 C=1，传输门导通；C=0，传输门断开。
2. **导通时，沿数据通路看输入。** 在负载电阻远大于传输门导通电阻的条件下，Y≈X。输入是 0，就传递 0；输入是 1，就传递 1。
3. **断开时，看输出端还连接着什么。** 输入 X 此时不能通过传输门决定 Y。

第三步最容易漏：

传输门断开后的输出端接法	按理想静态模型判断
有电阻接地	电阻把 Y 拉到 0
有电阻接电源	电阻把 Y 拉到 1
没有其他支路	仅凭“传输门断开”，无法确定 Y 的电压

所以，**“传输门断开”和“输出节点为 0”之间，还缺一个条件：输出端有接地支路。**

教材第 89—90 页讨论模拟开关时，输出端接了负载电阻 R_L 到地，因此关闭后得到 $v_O = 0$。你以后遇到类似图，要把这只电阻也看进去。

没有其他支路时，节点上的电容可能暂时保留电荷；但题目没有给出存储条件，就不要自行认定它“永远保持上一次的值”。这一阶段知道这个边界就够了，暂时不用推导电容如何漏电、多久衰减。

3.3.5 三态输出与总线共用

> **学到什么程度：**先判断使能，再算数据；会辨认总线有效驱动、释放与冲突。
>
> **为什么讲这里：**普通与或式无法完整替代含 Z、冲突状态的描述。

前面普通反相器的输出只有两种工作状态：

输入为 0，输出拉高；输入为 1，输出拉低。

三态门增加一个使能端，使输出级还可以处于这样的状态：

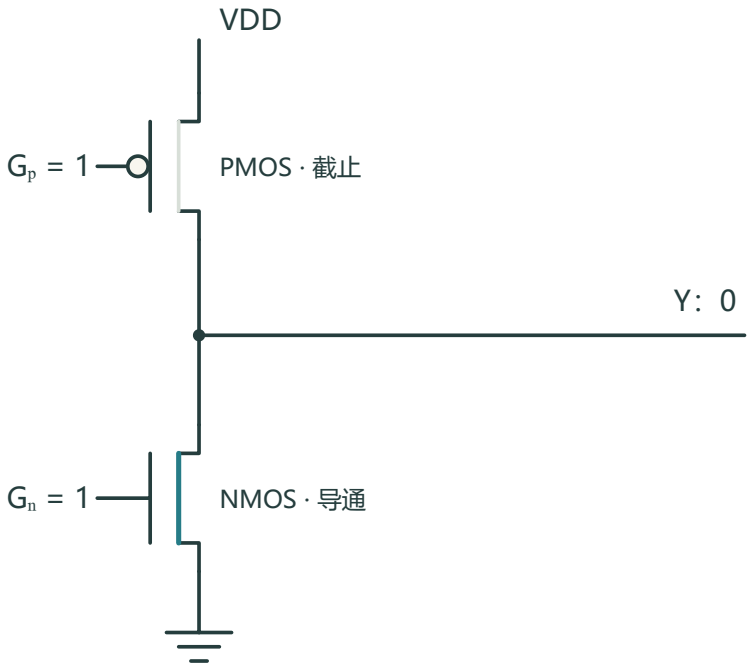
上面的管子关掉，下面的管子也关掉，输出端不再主动连接电源或地。

这就是高阻态，记作 Z。

下面可以切换输入、使能端，以及两路共用总线的情况。

输出级示意

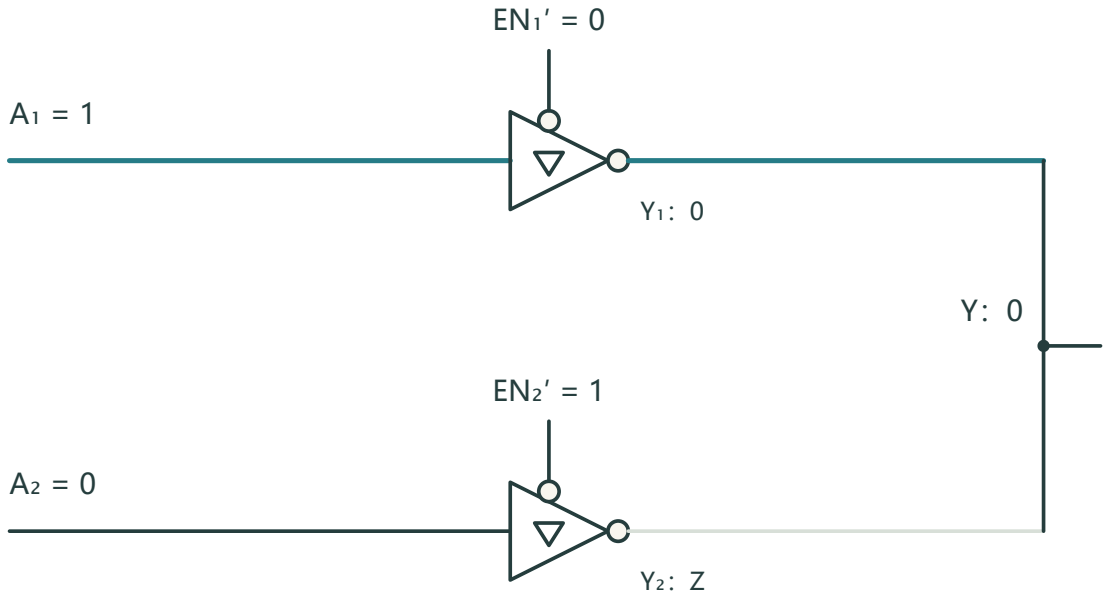
$A = 1 \cdot EN' = 0$



输出级示意 · 控制电路省略

正常反相 · 输出由 NMOS 下拉

两路共用总线



三态反相器 · 静态理想模型

第一路驱动总线

图 21 先看使能有效电平，再看数据；共用总线需要避免冲突。

这里最容易混淆的地方是：Z **描述的是这个输出端有没有驱动能力。**

它并不规定这根线现在一定是多少伏。如果另一只门正在驱动这根线，线上的电压就由另一只门决定；如果有上拉电阻，线可以被拉高。

所以，做题时不能把 Z 当成 0，也不能把它当成一个新的逻辑电平参加与、或运算。

课本图中的使能端带小圆圈，表示**低电平有效**。用 $\overline{EN}$ 表示它：

$\overline{EN}$	**输入** A	**三态反相器输出**
0	0	1
0	1	0
1	任意	Z

分析三态门，第一步永远先看使能。没有使能，直接写 Z；使能以后，再分析数据输入。

课本接着讲总线，就是为了回答“为什么需要 Z”：

几个设备共用一组信号线时，可以轮流获得输出权。当前发送的设备正常输出，其余设备退出驱动，呈高阻态。

做题要记住一个条件：

共用总线的三态输出，应保证同一时刻只有一路有效驱动。

两路同时有效，一路拉高、一路拉低，就发生冲突。不能因为它们都是三态门，就认为随便接在一起都可以。

课本后面的双向传输结构，是用两个方向相反、交替使能的三态门实现的。这里“方向切换”的意思，是控制哪一路门工作。前面 CMOS 传输门则是在导通时直接接通信号通路，两者的内部工作方式要分清。

这一部分做到：**会读使能圆圈、会列输出状态、会判断总线冲突**，就达到本章主要要求了。

接下来用同一张图分析总线：两只三态反相器共用输出线，究竟谁决定 Y?

先把使能方式选成“高电平有效”，固定：

$$A_1 = 1, \qquad A_2 = 0$$

由于两只都是反相器，正常工作时：

$$Y_1 = 0, \qquad Y_2 = 1$$

然后分别考虑四种使能情况。

第一，EN_1=1、EN_2=0。

第一只工作，输出 0；第二只为 Z，停止驱动。

公共输出：

$$Y = 0$$

第二只输入即使变化，也不会通过它影响总线。

第二，EN_1=0、EN_2=1。

第一只退出，第二只工作。

公共输出：

$$Y = 1$$

这就是轮流使用同一根导线。

第三，$EN_1=0$、$EN_2=0$。

两只都停止驱动。

没有其他支路时，公共输出标记为 Z，电压未规定。你可以在图中添加电阻观察：

- 添加下拉电阻，节点被拉到 0。
- 添加上拉电阻，节点被拉到 1。

此时两只门仍然都是 Z；节点电平是外接电阻决定的。

这是“器件输出状态”和“公共节点电压”需要分别判断的地方。

第四，$EN_1=1$、$EN_2=1$。

第一只要把总线拉低，第二只要把总线拉高，两路输出发生冲突。

这时不能按照逻辑与、逻辑或算一个答案，也不能直接认为“0 优先”或“1 优先”。

从输出级看，相当于一只门的上拉管与另一只门的下拉管同时接到公共节点，形成电源到地的通路。

因此，教材这种分时总线接法，要控制为：**正常传输时，一次只允许一只门使能。**

如果两路当前恰好输出相同电平，暂时不会出现逻辑电平相反的冲突；但这不能替代互斥控制，因为数据随后可能变化。

这也解释了：为什么普通 CMOS 输出不能直接并联来做线与？

普通 CMOS 输出 1 时会主动上拉，输出 0 时会主动下拉。两只门结果不同时，就出现刚才那种冲突。

OD 输出结构不同：它能主动拉低；释放时不主动拉高，高电平由外接上拉电阻提供。因此它可以做线与。

输出结构	输出的主要特点	共用输出线时怎样处理
普通 CMOS 互补输出	主动拉高，也主动拉低	不能直接并联作为线与
OD 输出	主动拉低，或释放输出	配合上拉电阻，可以做线与
三态输出	正常驱动，或停止驱动	通过使能控制轮流使用总线

看到“几个输出连在一起”，先认输出结构。不能把所有输出并联都叫线与。

这直接对应教材复习题 R3.3.10 的判断：两个普通互补输出 CMOS 门，不能直接并联来构成线与。

最后补一个容易写错的逻辑式：三态总线不一定能直接用普通与或表达式描述。

有人可能写：

$$Y = EN_1\overline{A_1} + EN_2\overline{A_2}$$

但如果 $EN_1=EN_2=0$，这个式子算出 0；实际两只门都退出，总线却是 Z。因此，它不能完整表示所有使能情况。

如果控制电路保证：

$$EN_1 = \overline{S}, \qquad EN_2 = S$$

在稳定的理想逻辑状态下，总有且只有一只工作，此时才可以写：

$$Y = \overline{S}\,\overline{A_1} + S\,\overline{A_2}$$

它又成为一个二选一电路，只是两路数据经过了反相。

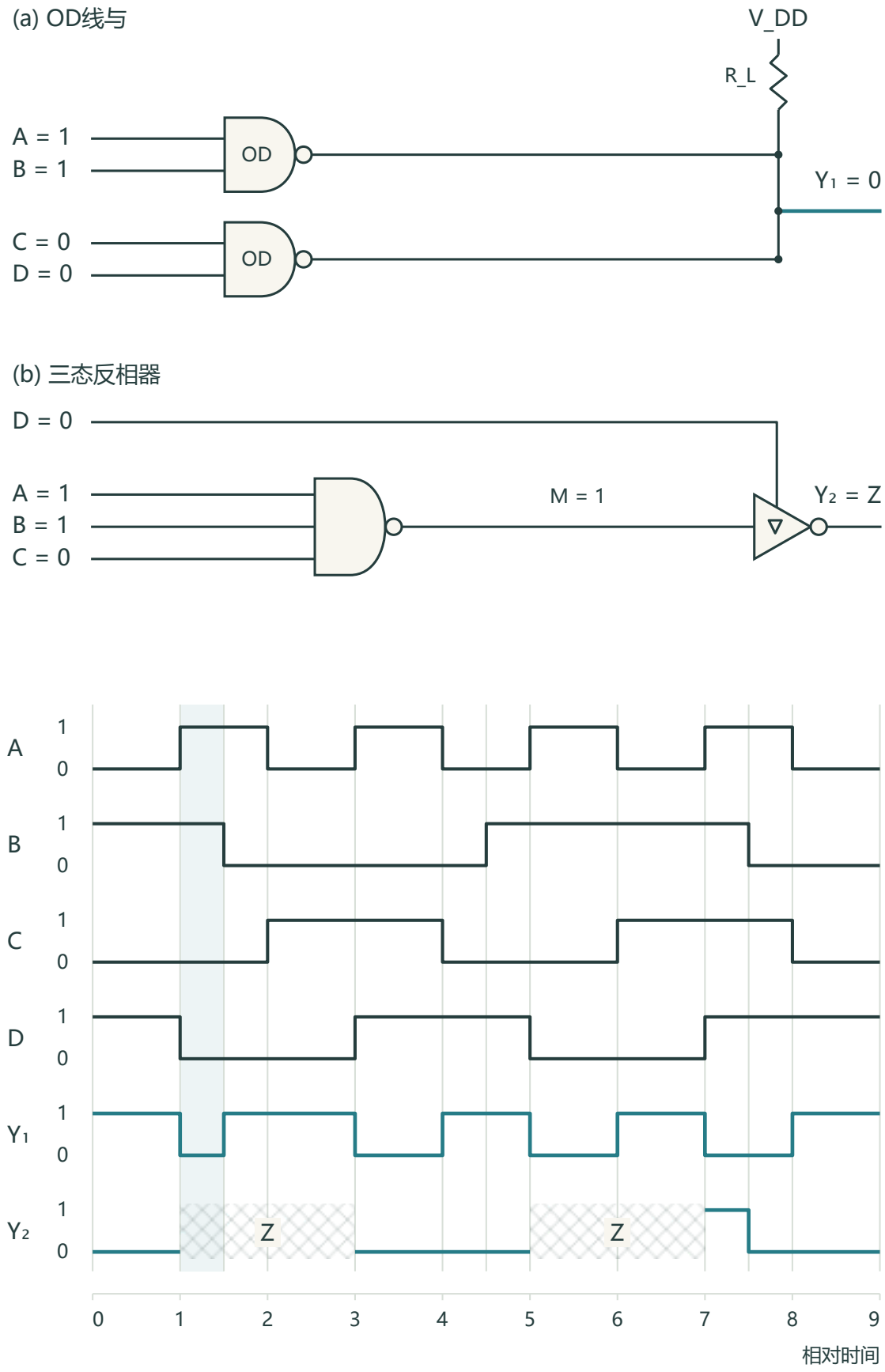
**

第三章 · 20 / CMOS 门电路

习题 3.8：OD、三态与高阻波形

> **学到什么程度**：会先标 Z 区间，再在有效区间计算输出，不能把 Z 写成 0。
>
> **为什么讲这里**：这道题对照两种输出结构，是检验高阻概念的代表题。

接下来用辅导书的 **习题 3.8**，把 Z 真正用到做题里。图中可以选择时间区间，同时查看电路状态和波形：



所选时段：$Y_1 = 0$；$Y_2 = Z$（禁用）

图 22 习题 3.8 的两种输出结构与波形。高阻斜线区不是中间电压。

3.8(a) 是前面学过的 OD 门输出并联。

两个与非门分别得到：

$$F_1 = \overline{AB}, \qquad F_2 = \overline{CD}$$

OD 输出并联，并且有上拉电阻，所以公共输出是“线与”：

$$Y_1 = F_1F_2 = \overline{AB}\,\overline{CD} = \overline{AB + CD}$$

做波形时，可以直接用一句话：

> **AB、CD 只要有一组同时为 1，Y_1 就为 0；两组都不满足时，Y_1 为 1。**

两只 OD 门都截止时，上拉电阻仍然把公共节点拉高，所以公共节点画 **1**。不能因为两只管子都截止，就把整个节点画成 Z。

3.8(b) 多了一个三态反相器。讲它，是因为这道题需要；目前只需要掌握它的两个工作规则。

图中的 D 是使能端，没有小圆圈，是高电平有效：

- **D=1：** 反相器正常工作，输出等于输入取反。
- **D=0：** 输出停止驱动，标记为 Z。

前面的三输入与非门输出为：

$$M = \overline{ABC}$$

因此：

$$Y_2 = \begin{cases} \overline{M} = ABC, & D = 1 \\ Z, & D = 0 \end{cases}$$

这里尤其要记住：**不能写成 $Y_2 = DABC$。** 那个式子会把 D=0 的情况算成 0，而这道题要求的是 Z。

这也顺便帮你分清两个器件：

传输门导通时传递原信号；三态反相器使能时，把输入取反。 控制端决定它是否工作，数据通路决定它输出什么。

画 Y_2 波形时，最省脑子的办法是：

1. **先看 D，把所有 D=0 的区间标成 Z。** 这些区间不用再算 ABC。
2. **只在 D=1 的区间计算 ABC。** 三个输入全为 1，输出才是 1；其他情况都是 0。

比如图中：

- **7～7.5：** A、B、C、D 全为 1，所以 $Y_2 = 1$。
- **7.5～8：** D 仍为 1，但 B 变为 0，所以 $Y_2 = 0$。
- **5～7：** D=0，因此整段都是 Z，期间 A、B、C 怎样变化都不影响这个结论。

图中的斜线区域表示 Z，**不表示一个中间电压。**辅导书答案用“×”标记高阻区间，意思相同。这里的时间数字用于方便定位，保留原题跳变顺序；波形按理想逻辑分析，忽略传播延迟。

学到这里，做题需要达到的程度就是：**会先判断使能；会在导通时追踪数据；会在断开时检查其他支路；会把 Z 区间单独标出来。** 三态输出的内部工作条件已在前节解释，本题按使能和数据通路规则计算。

第三章 · 21 / CMOS 门电路

习题 3.12：CMOS 输入接电阻怎样判电平

> **学到什么程度：**稳态先确定输入电位，再代逻辑关系；分清串接信号与对地电阻。
>
> **为什么讲这里：**输入电流很小解释了电阻压降，不意味着每个电阻接法效果相同。

本节做 **习题 3.12：输入端接了电阻，怎样判断 CMOS 门的输出?**

这类题先做两步：**确定每个输入端的电平，再代入门的逻辑关系。**不要一看到电阻，就猜它会把信号变成什么。

先把前面的 MOS 知识接起来。

MOS 管的栅极与沟道之间有绝缘层，所以在正常输入电压范围、信号已经稳定时，CMOS 的输入电流很小。串联电阻上的压降为：

$$\Delta V = I_{\text{输入}} R$$

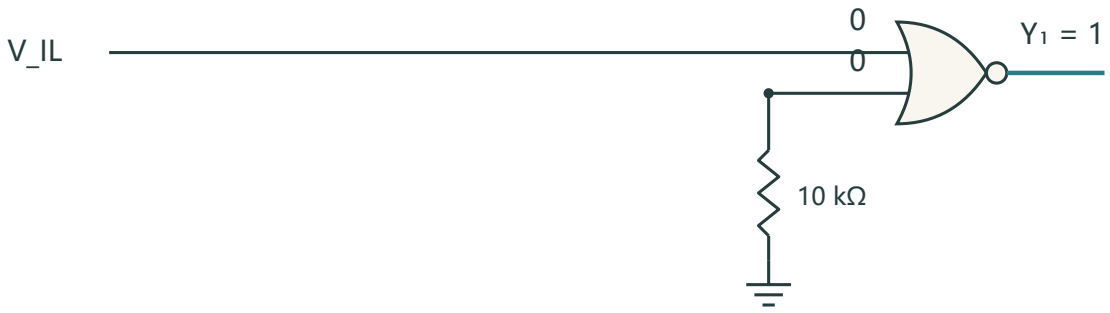
输入电流很小，压降通常也很小。因此，**串接一个电阻之后，输入电压仍可能接近原来信号源的电压。**

这里说的是**栅极输入电流很小。**MOS 管导通时，源漏之间仍然可以有电流。

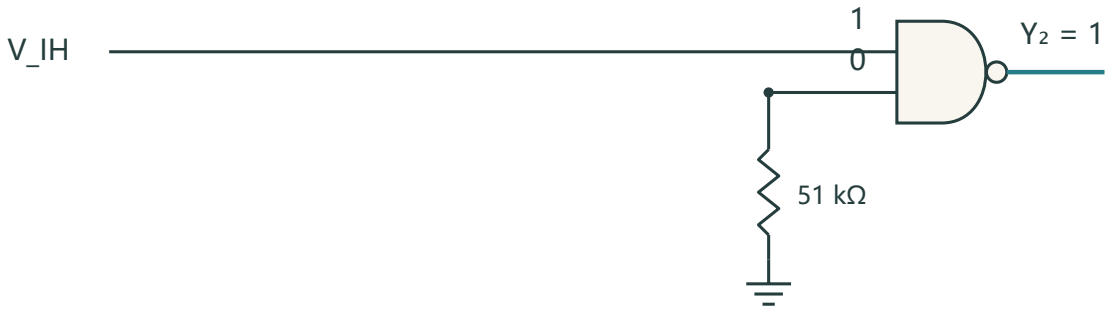
下面是题目中的四个电路，可以隐藏或显示标出的逻辑值。

标出节点逻辑值

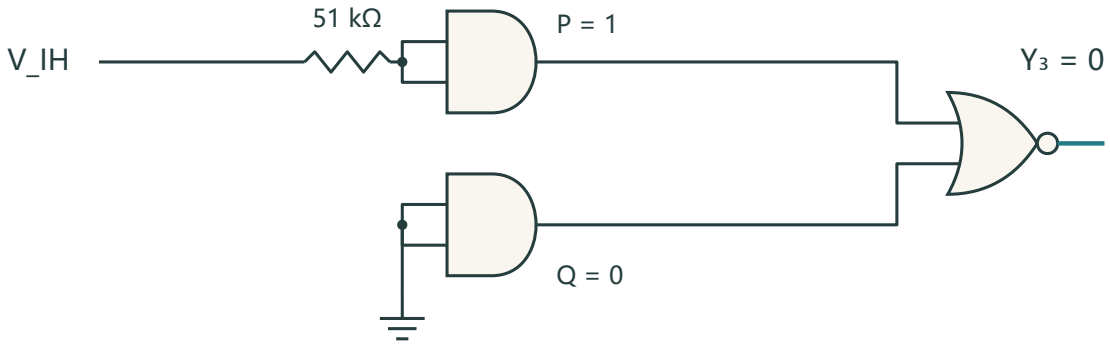
(a) Y_1

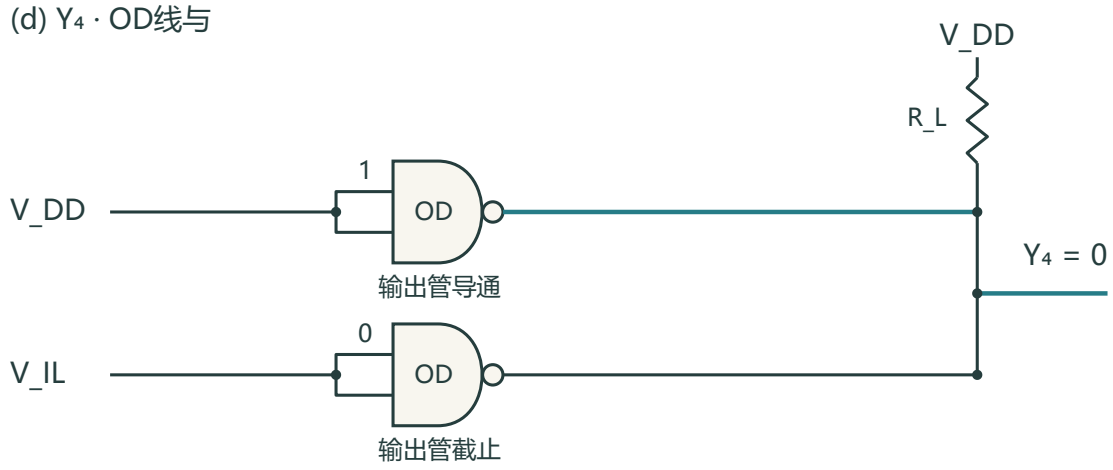


(b) Y_2



(c) Y_3





稳态逻辑值已标出。

图 23 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

按这道题的标注，V_{IL} 表示给定的低电平，按 0 判断；V_{IH}、V_{DD} 按高电平 1 判断。

先看 (a)：经电阻接地的输入，按低电平判断。

上面的输入已经给定为低电平。

下面的输入通过 $10\,k\Omega$ 电阻接地。CMOS 输入电流很小，电阻上的压降很小，这个输入端的电压就接近地电位，也是 0。

两个输入都是 0，进入或非门：

$$Y_1 = \overline{0 + 0} = 1$$

这里的电阻是**下拉电阻**：它给输入端提供了通向地的路径，把输入电位规定在低电平附近。

再看 (b)：$51\,k\Omega$ 接地，也不是悬空。

上面的输入为 1，下面的输入通过 $51\,k\Omega$ 电阻接地，按本题的稳态近似仍为 0。

进入与非门：

$$Y_2 = \overline{1 \cdot 0} = 1$$

不要因为 $51\,k\Omega$ 看起来很大，就认为这个输入没有接东西。**它仍然通过电阻与地相连。**

所以判断时，先看电阻另一端接在哪里。

(c) 的 $51\,k\Omega$，接法变了。

它串在高电平信号源与上方与门的输入之间。

按本题的稳态近似，输入电流很小，串联电阻的压降可以忽略，上方两个输入仍然为 1。这个与门的输出是：

$$P = 1 \cdot 1 = 1$$

下方与门的两个输入都直接接地，所以：

$$Q = 0 \cdot 0 = 0$$

最后，P、Q 进入或非门：

$$Y_3 = \overline{P + Q} = \overline{1 + 0} = 0$$

同样是 $51\,k\Omega$，(b) 把输入拉向地，(c) 把高电平信号送到输入。电阻的连接位置决定了你该怎样分析它。

(d) 检查你是否理解“OD 管截止”。

上方 OD 与非门的两个输入都是 1，与非结果为 0，因此它的输出管导通，把公共节点拉低。

下方两个输入都是 0，OD 输出管截止，释放输出。

但上方的管子还在拉低，所以：

$$Y_4 = 0$$

下方输出管截止，只表示它停止下拉。两个输出已经连成同一个节点，这个节点仍然被上方的输出管拉低。

有上拉电阻，也不能直接判输出为 1。要检查有没有其他支路正在拉低；全部 OD 管都释放，上拉电阻才能把公共节点拉高。

这轮最需要分清的是三个情况：

- **输入经电阻接地：**在本题条件下，电位接近地，按 0 判断。
- **输入经串联电阻接确定的高电平：**在本题条件下，压降很小，仍按 1 判断。
- **CMOS 输入完全悬空：**没有外接电路规定电位，不能擅自当成 0 或 1。

另外，**输出高阻描述的是输出端停止驱动的状态。**这个节点最终是高还是低，要继续看外部电路。(d) 就是输出管截止、公共节点仍为低电平的例子。

做这类题，你应该能按顺序完成：

1. 沿着导线找出每个输入接到了哪里。
2. 把输入电平标成 0、1。
3. 逐级计算普通门的输出；遇到 OD 并联，再检查谁在拉低。

教材讲“CMOS 输入电阻很大、稳态输入电流很小”，就是为了支持这些判断。**这个性质需要掌握；本题不用推导输入保护二极管的内部工作过程。**如果以后题目明确给出漏电流、电阻和电平门限，就要计算压降并检查门限，不能一直把压降当成零。

对应教材印刷页 77—78，以及辅导书印刷页 193 的习题 3.12。

3.3.6 CMOS 正确使用

> **学到什么程度**：理解悬空、异常电流与闩锁，知道相应保护的目的。
>
> **为什么讲这里**：工艺寄生结构帮助理解风险；不要求本阶段完整推导。

这几页的目的，是提醒你：前面写出的逻辑关系，成立的前提是器件被正确使用。

你现在主要掌握下面几件事。

第一，CMOS 输入端不能悬空。

前面说过，MOS 栅极输入电流很小。小到什么程度？外界一点电荷、干扰，就可能改变悬空栅极的电位。

因此，“没有接信号”不等于“输入是 0”。

没有使用的输入端，要接到确定的逻辑电平。若这个输入属于一个仍在使用的多输入门，还要保证接法不改变需要的功能：

- 与门、与非门的闲置输入，通常接逻辑 1。
- 或门、或非门的闲置输入，通常接逻辑 0。

理由直接来自逻辑式：

> $$A \cdot 1 = A, \qquad A + 0 = A$$

第二，输入电流小，不代表输入端可以承受任意电压。

输入端有保护结构。输入电压超出允许范围时，保护支路可能导通；电流太大，器件仍会损坏。

书中讨论串联限流电阻，就是为了限制这种异常电流。具体允许电流按题设或器件参数取，不能把书中的一个近似数值当成所有 CMOS 的共同极限。

第三，输入接大电容时，电源下降以后，电容可能还保存着电荷。

于是电容上的电压可能高于此时芯片的电源电压，通过保护支路放电。课本讲它，是为了说明为什么某些输入电路需要限流、为什么上电和断电过程也要考虑。

第四，“闩锁效应”是一种异常导通现象。

CMOS 内部寄生的三极管结构，可能形成正反馈，使电源与地之间出现较大的持续电流。

这里的“闩锁”不是后面章节用来保存数据的逻辑锁存器。

学习要求：会解释悬空输入、越界输入和异常电流的问题；知道保护措施的目的。寄生器件的工艺剖面、完整正反馈推导，现阶段属于帮助理解的内容，不是这章习题的计算重心。

第三章 · 23 / CMOS 门电路

3.3.7 CMOS 各系列与参数

> **学到什么程度：**能区分 HC 与 HCT，按表格查电平、电流。
>
> **为什么讲这里：**系列名告诉你电气要求，不要求背整表产品参数。

课本列这些系列，是因为：

逻辑功能相同的门，输入电平要求、输出电流和速度可能不同。

你当前需要掌握到这个程度：

系列	现在要知道的区别
4000 系列	传统 CMOS 系列，书中用来介绍较宽供电范围等特点
74HC	CMOS 输入电平要求
74HCT	输入电平设计成与 TTL 兼容
74AHC、74AHCT	相应的改进系列，仍要注意输入电平类型
74LVC、74ALVC 等	低电压系列，连接时检查供电、输入允许电压和输出能力

其中 **HC 与 HCT 的区别很重要**，后面的接口题直接用到。

型号末尾的功能编号可以帮助识别逻辑功能；中间的系列字母决定许多电气特性。不能看见功能编号相同，就认为任何场合都能直接替换。

不用背整张参数表。要学会根据题目查出 V_{IH}、V_{IL}、I_{OH}、I_{OL}，然后计算。

第三章 · 24 / TTL 门电路

3.4.1 三极管的截止、放大与饱和

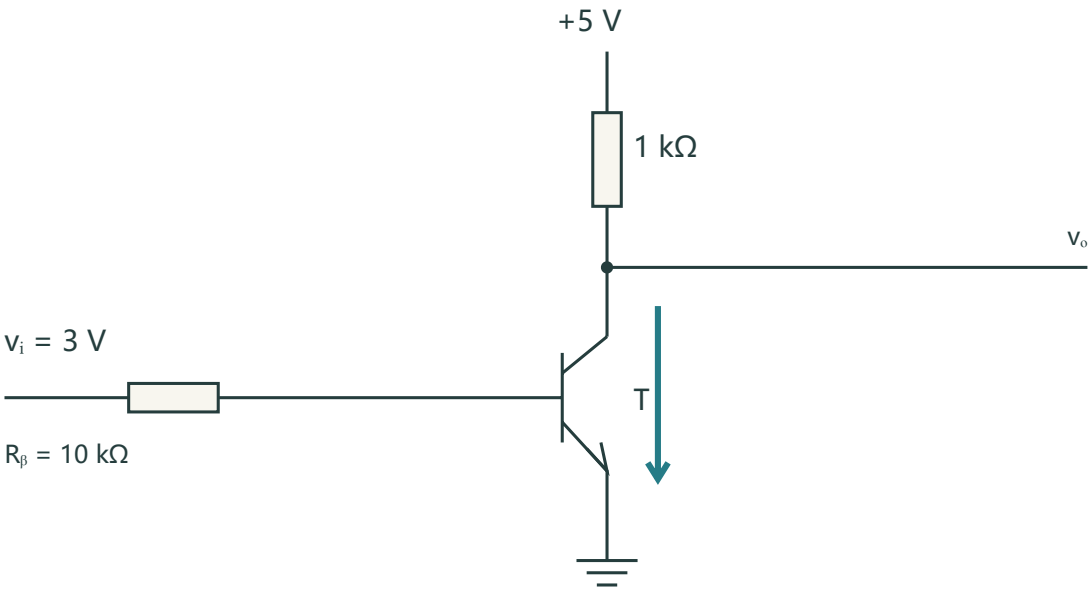
> **学到什么程度**：会比较实际基极电流与临界饱和需求，选择对应模型。
>
> **为什么讲这里**：这些状态判断直接用于 TTL 内部分析和接口电路。

从这里开始，主要器件换成双极型三极管。

先看一个最基本的 NPN 反相器。图中，输入通过基极电阻接到基极；集电极通过电阻接电源；发射极接地；输出取自集电极。

先用“基本 NPN 反相器”这一项，切换输入电压。

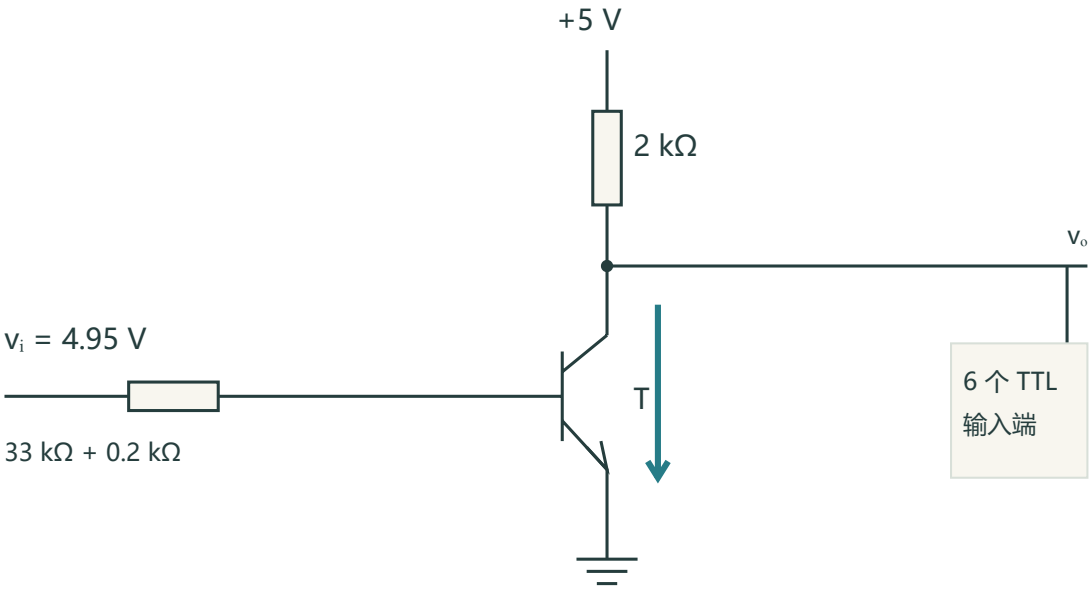
基本 NPN 反相器



状态：饱和
输出：0.20 V

I_β = 230.0 μA；临界饱和所需 $I_\beta \approx$ 96.0 μA

习题 3.26 接口



状态：放大
输出：约 1.4 V（转折区）

I_β = 128.0 μA；临界饱和所需 I_β ≈ 300.6 μA

图 24 切换基本反相器与习题 3.26。基本例忽略饱和导通内阻；习题按相应负载模型比较基极驱动。

输入很低时，三极管截止。

基极没有足够的驱动，集电极电流近似为零：

$$I_B \approx 0, \qquad I_C \approx 0$$

集电极电阻几乎没有压降，输出接近电源电压：

$$v_O \approx V_{CC}$$

所以输入低，输出高。

输入提高以后，三极管开始导通。

在放大区，可以使用：

$$I_B = \frac{v_I - V_{BE}}{R_B}$$

$$I_C = \beta I_B$$

然后求集电极电阻上的压降：

$$v_O = V_{CC} - I_C R_C$$

这里的因果顺序很重要：

基极电流增大 → 集电极电流增大 → 集电极电阻压降增大 → 输出电压降低。

但是，$I_C = \beta I_B$ 不能无限用下去。

假设你用这个式子算出了很大的集电极电流，导致输出电压低于三极管饱和时的压降，就说明“仍在放大区”的假设不成立。

这时三极管进入饱和状态，输出已经接近最低电压。忽略饱和导通内阻时：

$$I_{C(\text{sat})} \approx \frac{V_{CC} - V_{CE(\text{sat})}}{R_C}$$

临界饱和所需的基极电流约为：

$$I_{B(\text{sat})} \approx \frac{I_{C(\text{sat})}}{\beta}$$

判断能不能饱和，要比较实际基极电流与这个需求。

“基极电压超过约 0.7 V”只能帮助判断开始导通，不能单独证明已经饱和。

拿图中的数值算一次：

$$V_{CC} = 5\ \text{V}, \quad R_C = 1\ \text{k}\Omega, \quad R_B = 10\ \text{k}\Omega$$

取：

$$\beta = 50, \quad V_{BE} = 0.7\ \text{V}, \quad V_{CE(\text{sat})} = 0.2\ \text{V}$$

饱和时需要的集电极电流：

$$I_{C(\text{sat})} = \frac{5 - 0.2}{1\ \text{k}\Omega} = 4.8\ \text{mA}$$

临界饱和基极电流：

$$I_{B(\text{sat})} = \frac{4.8}{50} = 0.096\ \text{mA}$$

当输入为 1 V：

$$I_B = \frac{1 - 0.7}{10\ \text{k}\Omega} = 0.03\ \text{mA}$$

还不够饱和，因此：

$$I_C = 50 \times 0.03 = 1.5\ \text{mA}$$

$$v_O = 5 - 1.5 \times 1 = 3.5\ \text{V}$$

当输入为 3 V：

$$I_B = \frac{3 - 0.7}{10\ \text{k}\Omega} = 0.23\ \text{mA}$$

已经超过临界饱和需求，输出按饱和状态求，约为 0.2 V。

你要形成这个判断流程：

先判断截止；若导通，计算基极电流；再检查是否饱和；最后使用对应状态的公式。

课本画输入特性、输出特性和负载线，是为了展示：工作点由三极管与外部电阻共同决定。现阶段不用把每一条曲线都背下来，但必须会进行上面这种状态判断。

还有一个词要分清：**MOS 管的“饱和区”和三极管的“饱和区”，判据不同，不能直接套用同一种开关解释。**

第三章 · 25 / TTL 门电路

3.4.2 TTL 反相器的工作过程

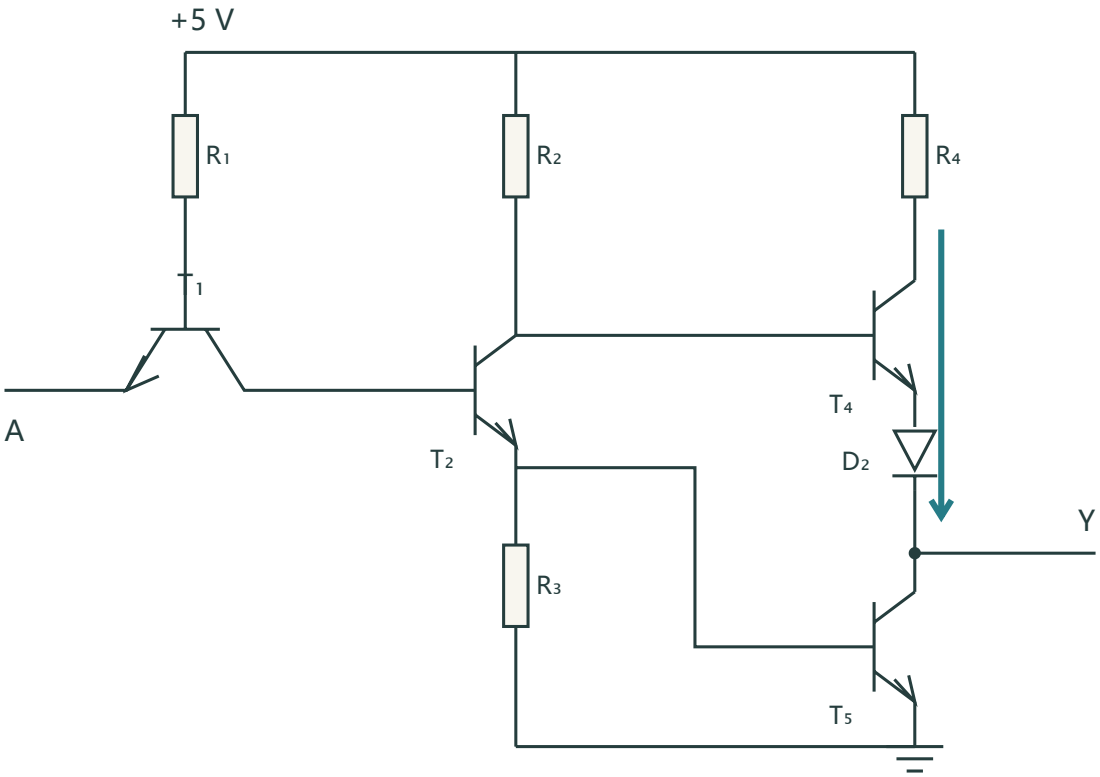
> **学到什么程度**：能沿 T_1、T_2、T_4、T_5 解释高低两种稳态。
>
> **为什么讲这里**：内部结构用于解释输入电流和推拉输出，主要通路比默写整图更重要。

课本这个电路的器件编号是：

- T_1：输入级。

- T_2：倒相级，同时控制上下两个输出管。
- T_4：上面的输出管，负责把输出拉高。
- T_5：下面的输出管，负责把输出拉低。

先切换图中的输入，看 T_4、T_5 怎样交替工作。



T₂ 截止；T₄ 导通；T₅ 截止

Y = 1，v_o 约 3.4 V

D₁ 未画；R₁=4k，R₂=1.6k

R₃=1k，R₄=130Ω

T₁ 的 b-e 结导通，把后级控制电位压低。

图 25 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

输入低电平，例如 0.2 V 时：

T_1 的发射结导通，把后级控制电位压低。

于是：

> T_2 截止

它的集电极电位较高，发射极电位较低，进一步得到：

> T_4 导通，　　T_5 截止

输出经上面的通路被拉高。

这里不要误记成“输入低，所以输入三极管 T_1 截止”。**这个电路里，输入低时 T_1 的发射结恰恰是导通的。**

输入高电平，例如 3.4 V 时：

T_1 的基极—集电极结向后级提供驱动，使 T_2、T_5 导通。

结果是：

> T_4 截止，　　T_5 饱和导通

输出被拉低。

此时 T_1 的工作方式也不能简单理解成“整只管完全断开”。课本借这个过程，解释 TTL 输入级怎样把输入状态送到后级。

为什么要安排上下两个输出管？

因为输出既需要拉高，也需要拉低。上管提供电流，下管吸收电流，能比单纯靠一个较大电阻拉高获得更强的驱动能力。

这叫推拉式输出。

图中的 D_2 有一个重要作用：帮助保证下管导通时，上面的输出支路能够可靠关闭。输入端的保护二极管 D_1 用于限制负向输入，图中为方便看主通路省略了。

做题要求：能沿输入到输出的方向，解释两种稳态下哪些管导通、哪些管截止。除非题目要求分析内部节点，不用每次从头计算整张电路中的所有电压。

第三章 · 26 / TTL 门电路

3.4.3 TTL 电平与噪声容限

> **学到什么程度**：认清输入要求与输出保证，计算两种噪声容限。
>
> **为什么讲这里**：典型转换点与保证电平属于不同参数，不混用。

因为现实中的高电平和低电平，都是电压范围。

课本基本 TTL 电路常用的一组保证值是：

参数	意义	本书对应数值
$V_{OH(\min)}$	输出高电平至少能达到多少	2.4 V
$V_{OL(\max)}$	输出低电平最多可能升到多少	0.4 V
$V_{IH(\min)}$	输入至少多高，保证识别为高	2.0 V
$V_{IL(\max)}$	输入最多多高，保证识别为低	0.8 V

先辨认下标：

I 表示输入，O 表示输出；H 表示高，L 表示低。

因此高电平噪声容限：

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.4 - 2.0 = 0.4\ \text{V}$$

低电平噪声容限：

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.8 - 0.4 = 0.4\ \text{V}$$

这两个式子你前面已经见过，现在只是换成 TTL 参数。

课本还讲到约 1.4 V 的转换位置。这里要区分：

典型电路在什么电压附近翻转，与厂家保证什么电压范围能可靠识别，是两个层面的参数。

不能因为典型翻转位置约为 1.4 V，就把它当成全部器件统一的输入高电平保证值。

第三章 · 27 / TTL 门电路

3.4.3 TTL 电流与扇出：习题 3.16、3.17

> **学到什么程度**：会画电流方向、统计负载并取高低两种扇出的较小值。
>
> **为什么讲这里**：共用输入支路导致计数差异，这也是 OC 题的基础。

CMOS 输入电流很小，所以你前面做许多题时，可以暂时忽略输入端的电流。

TTL 输入端需要认真考虑电流，尤其是低电平输入。

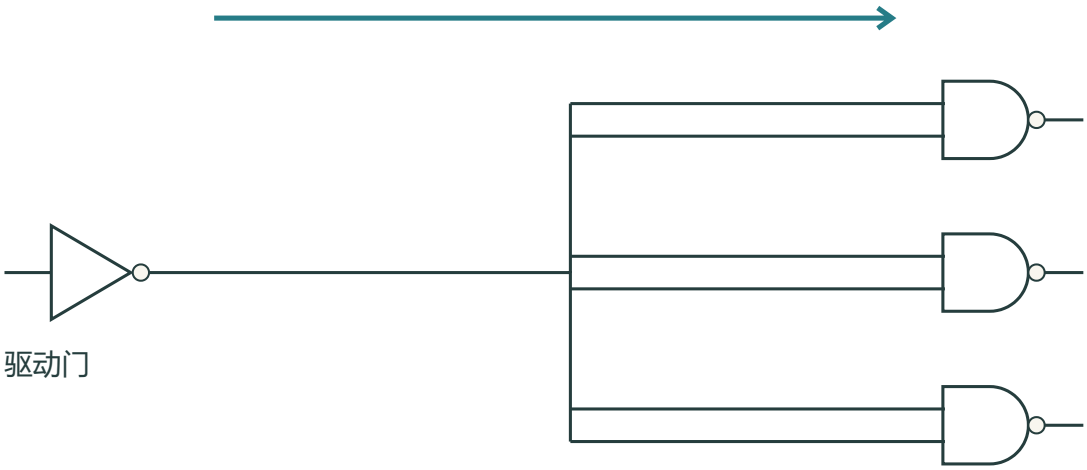
TTL 输入低电平时，电流会从输入端流出来。

前一级想把它维持在低电平，就要把这股电流吸走。

因此，当一个门驱动多个 TTL 输入时：

- 输出高电平：驱动门向后面的输入端提供电流。
- 输出低电平：驱动门吸收后面输入端流出来的电流。

看图中的箭头，再切换高、低电平。



负载共 5 个

电流：驱动门 → 负载输入

每门：2 × 40 μA

总电流 0.40 mA / 允许 0.4 mA；此电平最多 5 个；满足电流条件

图 26 本图按习题 3.16、3.17 的电流与输入模型，不能把示例值当成所有 TTL 的共同参数。

参数里的正负号也由此而来：以流入端子为正方向时，低电平输入电流 I_{IL} 往往写成负数；高电平输出电流 I_{OH} 往往也写成负数。

算电流能力时，经常使用它们的绝对值。

扇出系数，其实就是检查“这只门带得动多少个负载”。

对相同负载：

$$N_H = \frac{\text{驱动门高电平可提供的电流}}{\text{每个负载高电平需要的电流}}$$

$$N_L = \frac{\text{驱动门低电平可吸收的电流}}{\text{每个负载低电平流出的电流}}$$

两个状态都必须合格，所以：

$$N_{\max} = \left\lfloor \min\left(N_H, N_L\right) \right\rfloor$$

取较小值，还要向下取整数。

现在讲一个本章专门设的难点：同一个 TTL 与非门的两个输入脚并在一起，低电平电流不一定按两个脚相加。

按本章采用的输入结构和习题模型：

负载接法	高电平输入电流	低电平输入电流的大小
一个输入脚	I_{IH}	
同一个与非门的两个输入脚并接	$2I_{IH}$	
同一个或非门的两个输入脚并接	$2I_{IH}$	2

为什么与非门特殊?

课本基本 TTL 与非门使用多发射极输入结构，几个输入共用内部供电支路。低电平时，几个并接输入脚分担同一支路的电流。

或非门的输入属于不同支路，低电平电流也需要相加。

你要根据题设和内部输入模型计数，不能仅凭图上有几个引脚决定电流。

用习题 3.16 的参数算：

$$\left|I_{OH(\max)}\right| = 0.4\ \text{mA}, \quad I_{OL(\max)} = 16\ \text{mA}$$

$$I_{IH} = 40\ \mu\text{A} = 0.04\ \text{mA}, \quad \left|I_{IL}\right| = 1.6\ \text{mA}$$

每个负载与非门的两个输入脚并接。

高电平时：

$$N_H = \frac{0.4}{2 \times 0.04} = 5$$

低电平时：

$$N_L = \frac{16}{1.6} = 10$$

所以最多带 **5 个**。

习题 3.17 换成或非门，低电平也按两个输入脚计算：

$$N_L = \frac{16}{2 \times 1.6} = 5$$

最后同样得到 5，但中间的计数理由不同。

这两道题不能只记答案相同。

3.4.3 TTL 输入电阻与习题 3.18

> **学到什么程度**：会按实际电流方向算输入端电压，分别列开关闭合和断开条件。
>
> **为什么讲这里**：接地路径并不保证电压为零；电容的稳态与动态作用分开处理。

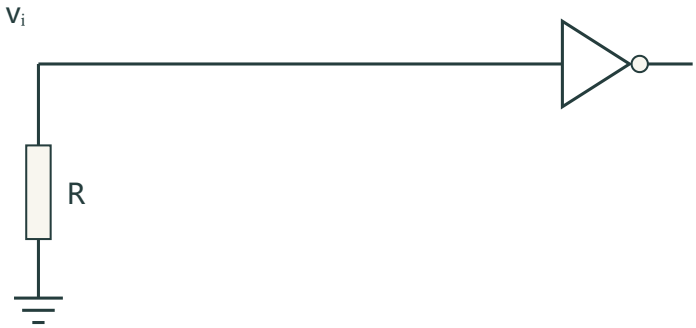
因为 TTL 输入端会向外提供低电平输入电流。

当输入通过一个电阻接地，这股电流流过电阻，会把输入端电压抬起来。

把下面的电阻从 $0.1\ \text{k}\Omega$ 换到 $10\ \text{k}\Omega$，就能看到区别。

TTL 输入经电阻接地

74 系列输入模型

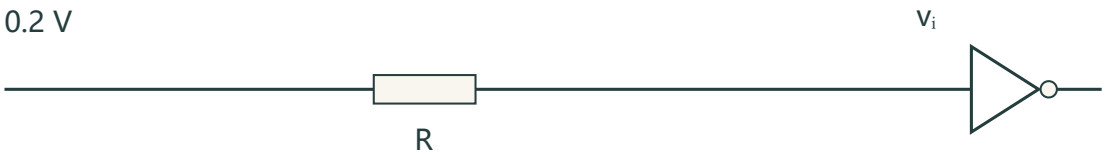


$v_i \approx 0.48\ V$

电阻足够小，输入满足低电平要求。

TTL 两级之间串电阻

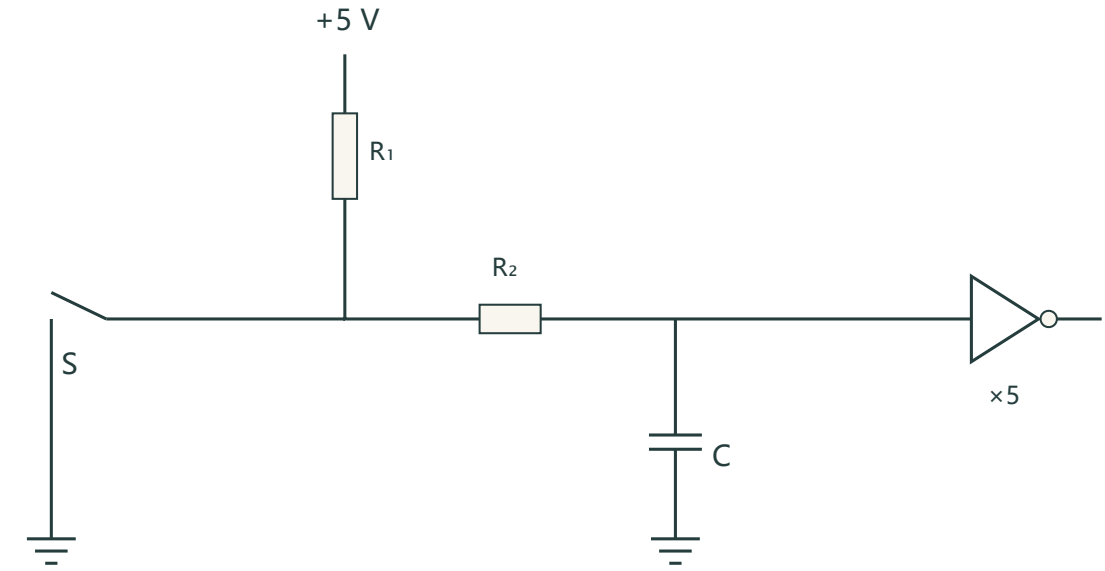
74 系列两级之间



$v_i \approx 0.66\ V$

满足该电平的输入要求。

习题 3.18 输入滤波



R_1 = 9.8 kΩ；R_2 = 0.2 kΩ

稳态 v_i = 4.0 V

S 断开：五路高电平输入电流流经 $R_1 + R_2$。

图 27 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

按课本基本 74 系列的近似输入模型，在相应工作区间：

$$v_I \approx \frac{R}{4\ \text{k}\Omega + R}(5 - 0.7)$$

电阻较小时，输入电压接近地。

电阻很大时，输入电压会进入约 1.4 V 附近的钳位区域，不能继续无限按这个分压式提高。

因此：

电阻一端接地，只说明存在通向地的路径；能不能形成合格低电平，还要计算输入端电压。

课本说基本 TTL 悬空输入在逻辑作用上相当于高电平，也是来自内部输入结构。它不表示悬空引脚电压就是 5 V，更不表示设计时应当依靠悬空输入。

接着看“两级之间串电阻”。

高电平输入电流很小，串联电阻带来的压降通常较小。

低电平时，后级输入电流流向前级输出，经过串联电阻会把后级输入电压抬高。因此，低电平条件往往限制得更严格。

课本例 3.4.3 用内部电路模型计算：

高电平要求：

$$R \le \frac{3.4 - 2.0}{0.04\ \text{mA}} = 35\ \text{k}\Omega$$

低电平临界取 $v_I = 0.8$ V，这时输入电流大小约为：

$$|I_{IL}| = \frac{5 - 0.7 - 0.8}{4\ \text{k}\Omega} = 0.875\ \text{mA}$$

因而：

$$R \le \frac{0.8 - 0.2}{0.875\ \text{mA}} \approx 0.69\ \text{k}\Omega$$

最终要同时满足两项，取严格的那个。

这一题用的是课本给定的内部模型。若另一道题直接给最大输入电流，就使用那道题的参数。

再把图切到习题 3.18，你会看到同一个方法怎样处理输入滤波电路。

稳态分析时，电容按开路处理。

开关闭合，五个反相器的低电平输入电流流经 R_2：

$$5\,|I_{IL}|\,R_2 \le 0.4\ \text{V}$$

$$R_2 \le \frac{0.4}{5 \times 0.4\ \text{mA}} = 0.2\ \text{k}\Omega$$

开关断开，五路高电平输入电流经过 $R_1 + R_2$：

$$5 - 5I_{IH}(R_1 + R_2) \ge 4$$

$$R_1 + R_2 \le \frac{5 - 4}{5 \times 0.02\ \text{mA}} = 10\ \text{k}\Omega$$

所以，若把 R_2 取为 $0.2\ \text{k}\Omega$，可把 R_1 取到 $9.8\ \text{k}\Omega$。

注意真正得到的是**两个约束条件**。其中 $9.8\ \text{k}\Omega$ 对应于已经选取 $R_2 = 0.2\ \text{k}\Omega$ 的情况。

电容虽然不参与这次稳态电流计算，但它参与输入电压变化的过程，用于滤波。所以这里讲电容有明确用途，只是这道题主要检查稳态电平。

第三章 · 29 / TTL 门电路

习题 3.13—3.15：电表内阻与输入结构

> **学到什么程度**：会把灵敏度换成内阻，区分与非、或非、CMOS 的被测输入。
>
> **为什么讲这里**：测量本身就是电路连接的一部分。

这三题问的是**另一个输入端的电压**，不是输出 Y 的电压。

电压表给出的灵敏度是：

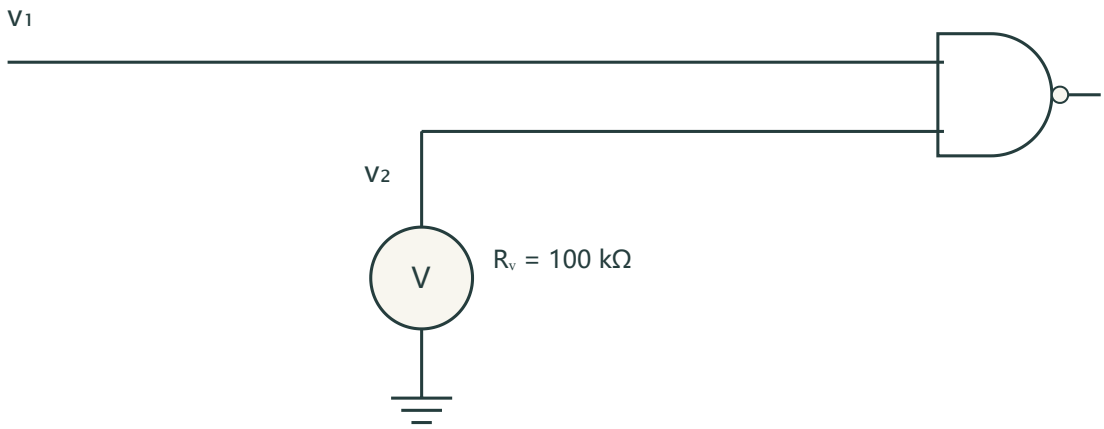
$$20\ \text{k}\Omega\ /\ \text{V}$$

使用 5 V 量程，因此它的内阻为：

$$R_V = 20 \times 5 = 100\ \text{k}\Omega$$

接上电表，就相当于被测输入端通过 $100\ \text{k}\Omega$ 接地。

多发射极输入



电表读数：1.4 V

按本书 74 系列多发射极模型计算。

图 28 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

TTL 与非门：两个输入共用多发射极结构，另一个输入的状态会影响公共内部节点。

按题目顺序，电表读数约为：

> $1.4\ \text{V},\quad 0.2\ \text{V},\quad 1.4\ \text{V},\quad 0\ \text{V},\quad 1.4\ \text{V}$

例如另一个输入被接到 $0.2\ \text{V}$ 时，它把公共基极节点压低，被测输入也通过相应发射结受到影响。

TTL 或非门：两个输入属于独立支路。按本题模型，五种情况下被测输入均约为 $1.4\ \text{V}$。

CMOS 与非门：忽略输入漏电时，被测输入通过电表内阻接地，所以五种情况下均约为 $0\ \text{V}$。

这几题是在检查：**你是否知道不同门的输入结构，以及电表内阻是否可以忽略。**

3.4.4 TTL 延迟、电流尖峰与功耗

> **学到什么程度：**按输出变化认延迟，用三角形面积与频率算平均电流。
>
> **为什么讲这里：**存储电荷解释延迟；尖峰解释频率与功耗的关系。

> t_{PLH}

表示输出从低电平变到高电平的传播延迟。

> t_{PHL}

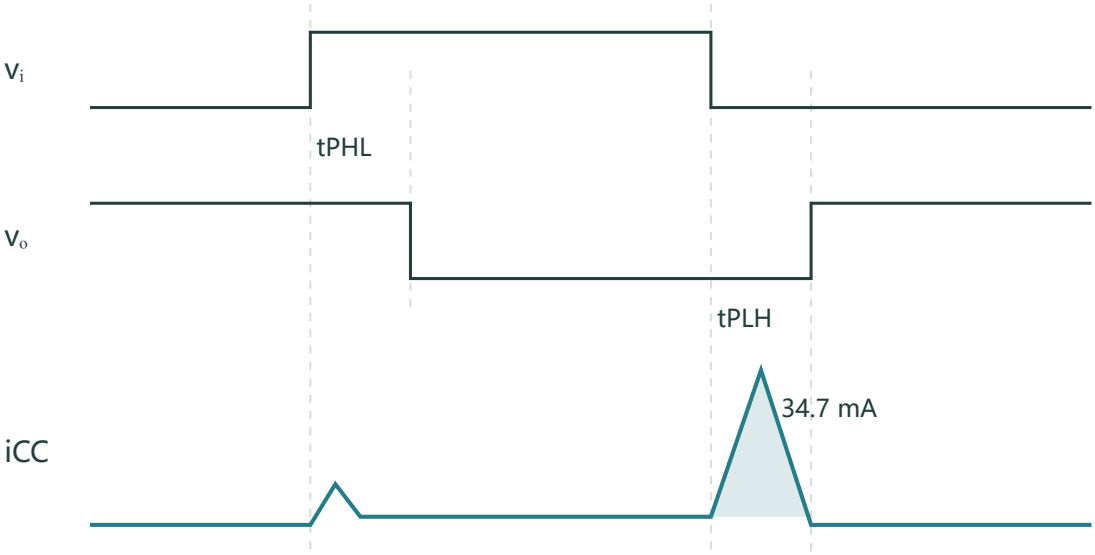
表示输出从高电平变到低电平的传播延迟。

下标 LH、HL 看的是输出变化。

因此，对反相器而言：

输入上升引起输出下降，对应 t_{PHL}；输入下降引起输出上升，对应 t_{PLH}。

时间示意，横向间隔不按比例



尖峰宽度近似 tPLH = 15 ns

ICCH = 1 mA；ICCL = 3.4 mA；50% 占空比，平均电源电流 ≈ 3.37 mA

图 29 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

为什么关断会慢?

前面三极管饱和导通时，内部存在存储电荷。控制信号改变以后，需要先把这些电荷消除，管子才能完成关断。

所以，“要求它关掉”和“它已经关掉”之间有时间差。

课本还讲动态噪声容限：一个干扰脉冲能否影响输出，既与幅度有关，也与持续时间有关。现阶段掌握这个含义即可，不必把所有曲线形状背下来。

接着看电源电流尖峰。

输出由低变高时，上管开始导通，而下管可能还没有完全关断，短时间内出现较大的电源电流。

因此 TTL 的功耗，不仅包括稳态功耗，还包括切换过程增加的功耗。

课本中的:

$$I_{CCH},\quad I_{CCL}$$

下标 H、L 同样对应**输出电平。**

按书中例题:

$$I_{CCH} = 1\ \text{mA}, \qquad I_{CCL} = 3.4\ \text{mA}$$

在输出高、低电平时间各占一半时，先算稳态平均值：

$$I_{\text{静态平均}} = \frac{1 + 3.4}{2} = 2.2\ \text{mA}$$

再把额外电流尖峰近似看成三角形。

每次切换增加的电荷，就是这个三角形的面积；每秒切换多少次，再乘频率。

因此课本使用：

$$I_{\text{尖峰平均}} \approx \frac{1}{2} f\, t_{PLH} \left(I_{CCM} - I_{CCL} \right)$$

代入该例的 5 MHz、15 ns、34.7 mA，得到约 1.17 mA。

总平均电源电流：

$$I_{CC(\text{AV})} \approx 2.2 + 1.17 = 3.37\ \text{mA}$$

需要功率时再算：

$$P_{\text{AV}} = V_{CC} I_{CC(\text{AV})}$$

这段的学习要求是：**会辨认传播延迟，会按题设计算平均功耗，能解释为什么频率提高后功耗增加。**具体例题中的尖峰电流数值不必背。

第三章 · 31 / TTL 门电路

3.4.5 TTL 与非、或非、与或非、异或

> **学到什么程度**：从使输出拉低的条件判断逻辑功能。
>
> **为什么讲这里**：内部图解释功能和输入支路，复杂异或内部级以理解用途为主。

课本依次介绍与非门、或非门、与或非门、异或门。

这里不需要把每张内部电路图都机械记住。分析的核心是：

找出什么输入条件能让下面的输出管导通，把输出拉低。

对与非门，只要一个输入低，输入级就把后级控制电位压低，输出保持高。只有全部输入高，下面的输出管才能导通：

$$Y = \overline{AB}$$

对或非门，只要任意一路输入高，就可以通过对应支路使下管导通：

$$Y = \overline{A + B}$$

对与或非门，两组输入分别形成与条件，再共同控制输出：

$$Y = \overline{AB + CD}$$

所以，只要 $AB = 1$ 或 $CD = 1$，输出就被拉低。

异或门的功能是：

$$Y = A \oplus B$$

输入不同输出 1，输入相同输出 0。

为什么还要展示它们的内部图?

一是解释逻辑关系怎么实现；二是解释前面那个电流计数问题：与非输入共用支路，或非输入分属不同支路。

所以，你需要从内部结构中读出**导通条件和输入支路关系**。异或门那张较复杂的内部图，除非老师要求逐管分析，现阶段不用默写所有晶体管的工作状态。

3.4.5 OC 输出：习题 3.20、3.21

> **学到什么程度**：会由高低状态推电阻上下限，正确使用 n、m、m′。
>
> **为什么讲这里**：公式是公共节点电流关系，分母减号与最坏导通情况必须理解。

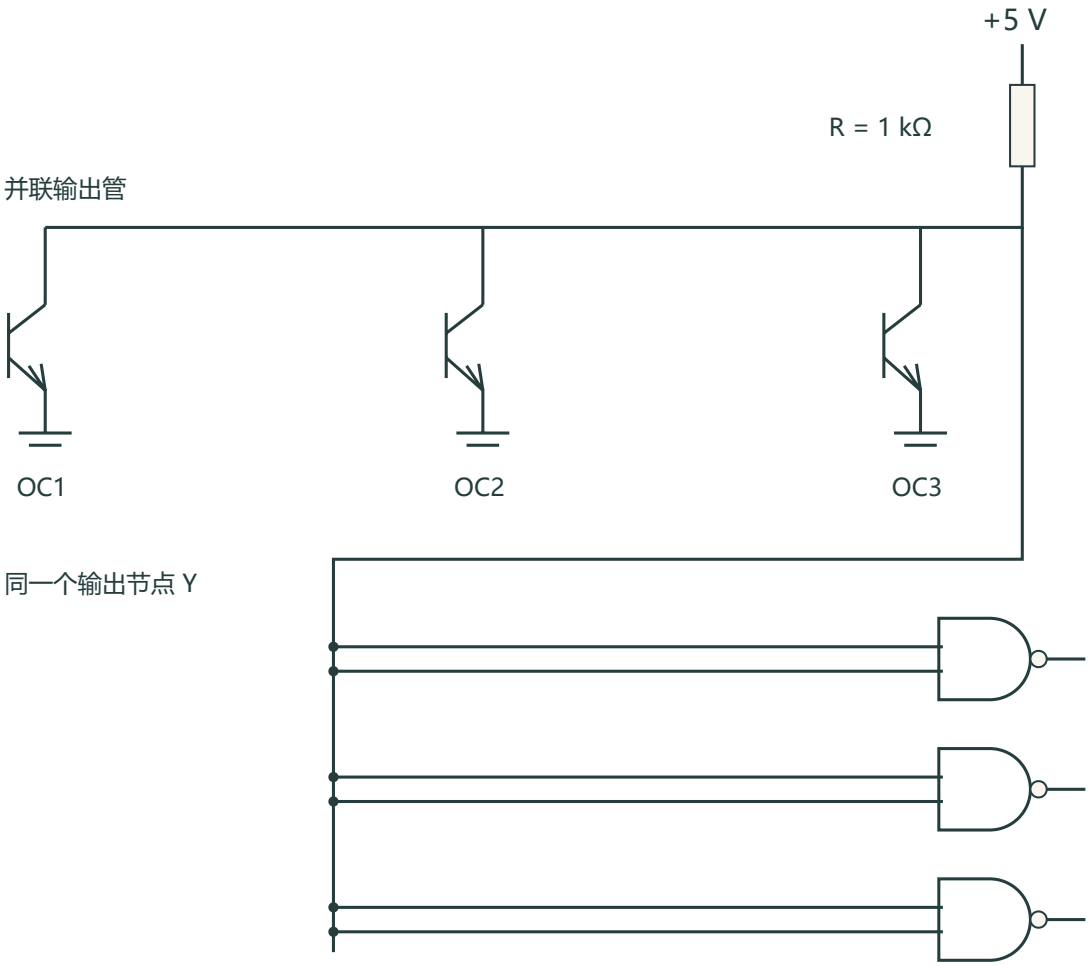
OC 是集电极开路输出。

它与前面 CMOS 的 OD 输出，用法很相似：

输出管导通时主动拉低；输出管截止时，需要外接电阻把节点拉高。

普通 TTL 推拉输出，已经有上管负责拉高；OC 输出去掉了这条主动拉高的支路。

看图时先认清：上面是几只并联的 OC 输出管，下面是它们共同驱动的负载。



高电平计数 m = 6；低电平计数 m′ = 3

高电平电压满足要求

允许 R：0.68 ~ 4.29 kΩ；高电平模型：$v_o \approx 4.58$ V；要求 ≥ 3.2 V

图 30 切换课本例 3.4.5、习题 3.20、3.21。图保留 OC 输出级和负载连接，内部控制级省略。

为什么 OC 输出可以并联实现“线与”？

任何一只输出管导通，都可以把公共节点拉低。

只有所有输出管都截止，公共节点才被电阻拉高。

所以在正逻辑下：

$$Y = Y_1 Y_2$$

若两只 OC 与非门分别为：

$$Y_1 = \overline{AB}, \qquad Y_2 = \overline{CD}$$

并联后：

$$Y = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

“线与”指的是两个门原本输出逻辑值之间的关系。最终对原始输入形成什么逻辑，还要代入再化简。

上拉电阻为什么既不能太大，也不能太小？

先看高电平。

所有 OC 输出管截止时，仍有漏电流；负载的高电平输入也需要电流。这些电流流过上拉电阻，产生压降。

电阻太大，压降就太大，输出高电平不够高。

设：

- 并联了 n 只 OC 输出；
- 每只截止漏电流为 I_{leak}；
- 高电平负载电流合计为 mI_{IH}。

那么：

$$v_{OH} = V_P - R_P(nI_{\text{leak}} + mI_{IH})$$

要求 $v_{OH} \geq V_{OH\text{要求}}$，得到：

$$R_{P(\max)} = \frac{V_P - V_{OH\text{要求}}}{nI_{\text{leak}} + mI_{IH}}$$

再看低电平。

假设只有一只 OC 输出管导通，它需要吸收：

上拉电阻流下来的电流，加上 TTL 负载输入端流出来的电流。

所以：

$$\frac{V_P - V_{OL要求}}{R_P} + m' \mid I_{IL} \mid \leq I_{OL(\max)}$$

整理得到：

$$R_{P(\min)} = \frac{V_P - V_{OL要求}}{I_{OL(\max)} - m' \mid I_{IL}\mid}$$

这里有三个必须理解的地方。

第一，低电平公式分母为什么是减号？

因为输出管总共只能吸收这么多电流，必须先留出一部分能力吸收负载输入电流，剩下的才可以分配给上拉电阻。

第二，为什么不能把几只 OC 的吸收能力相加？

因为某种输入组合可能只让其中一只导通。设计要保证这种情况下也能把输出拉低。

第三，为什么有 m 和 m' 两个计数？

因为 TTL 负载在高、低电平时的电流计数可能不同。前面专门讲的与非门并接输入，正是在这里使用。

现在完整做习题 3.20。

三只 OC 输出：

$$n = 3$$

三个负载与非门，每个门的两个输入脚并接。

高电平按六个输入脚计：

$$m = 6$$

低电平按三个输入支路计：

$$m' = 3$$

题目给出：

$$I_{\text{leak}} = 0.1\ \text{mA}, \quad I_{IH} = 0.02\ \text{mA}$$

$$|I_{IL}| = 0.4\ \text{mA}, \quad I_{OL(\max)} = 8\ \text{mA}$$

要求高电平至少 3.2 V，低电平不超过 0.4 V。

先求最大电阻：

$$R_{P(\max)} = \frac{5 - 3.2}{3 \times 0.1 + 6 \times 0.02} \approx 4.29\ \text{k}\Omega$$

再求最小电阻：

$$R_{P(\min)} = \frac{5 - 0.4}{8 - 3 \times 0.4} \approx 0.68\ \text{k}\Omega$$

因此允许范围约为：

$$0.68\ \text{k}\Omega \le R_P \le 4.29\ \text{k}\Omega$$

选 $1\ \text{k}\Omega$ 再检查：

高电平：

$$v_{OH} = 5 - 1 \times (0.3 + 0.12) = 4.58\ \text{V}$$

符合要求。

低电平时输出管需要吸收：

$$I_{\text{sink}} = \frac{5 - 0.4}{1\ \text{k}\Omega} + 3 \times 0.4\ \text{mA} = 5.8\ \text{mA}$$

没有超过 8 mA。

做到这一步，才算真正理解了选电阻的过程。

习题 3.21 换成或非门负载，低电平也要按六个输入脚计数。把图切换过去，对照一下 m' 的变化即可。

3.4.5 TTL 三态与输出并联：习题 3.27

> **学到什么程度**：会判断使能并区分普通输出、OC/OD、三态共接的条件。
>
> **为什么讲这里**：材料不同但三态逻辑规则相同，避免重复死记。

TTL 同样可以增加控制电路，使上下两个输出管同时截止。

课本高电平有效的三态与非门：

$$Y=\begin{cases}\overline{AB}, & EN=1\\ Z, & EN=0\end{cases}$$

禁用时，控制电路一方面关闭下管，另一方面把上管的控制电位压低，使上管也关闭。

所以，你不需要重新学一套“三态逻辑”。变化的是内部器件，分析顺序仍然是：

先检查使能，再分析原来的逻辑功能。

到这里，习题 3.27 就可以直接判断了：

输出结构	能否共接输出节点	条件
普通 CMOS 互补输出、普通 TTL 推拉输出	不能随意共接	不同输出状态会冲突
OD、OC 输出	可以	配置合适的上拉电源和电阻
CMOS、TTL 三态输出	可以	控制使能，避免同时冲突驱动

这张表要熟悉，后面总线、存储器等内容还会反复使用。

3.4.6 TTL 系列、肖特基与有源泄放

> **学到什么程度**：理解减少深度饱和、降低功耗与提高速度的改进方向。
>
> **为什么讲这里**：具体器件参数通过查表使用，型号沿革不是主要计算内容。

这一节的核心矛盾是：**速度与功耗。**

前面已经知道，三极管进入较深的饱和状态，关断时需要消除存储电荷，会拖慢切换。

因此，74S 系列采用肖特基钳位等方法，限制三极管进入深度饱和。

它的目的可以概括为：

减少存储电荷，使三极管更快关断。

课本还讲有源泄放回路。它的作用，是在需要关闭三极管时，给基极电荷提供更有效的释放路径。

74LS 则进一步降低功耗，例如增大内部某些电阻，同时使用相应的加速措施。

你当前掌握这几个字母的含义即可：

系列	主要改进方向
74	基本 TTL
74S	肖特基，提高速度
74LS	低功耗肖特基
74AS	改进速度等性能
74ALS	改进低功耗及综合性能
74F	快速 TTL

课本列“延迟—功耗积”，是在用一个指标比较速度与功耗：

> $$P\,t_{pd}$$

在对应比较条件下，希望它较小。

不用背每个系列的全部电阻、延迟和功耗数字。要理解改进方向，并会使用参数表。

另外，**型号以 74 开头，不代表一定属于 TTL。**74HC、74HCT 是 CMOS 系列。

第三章 · 35 / ECL 与 Bi-CMOS

3.5 ECL：非饱和电流转向

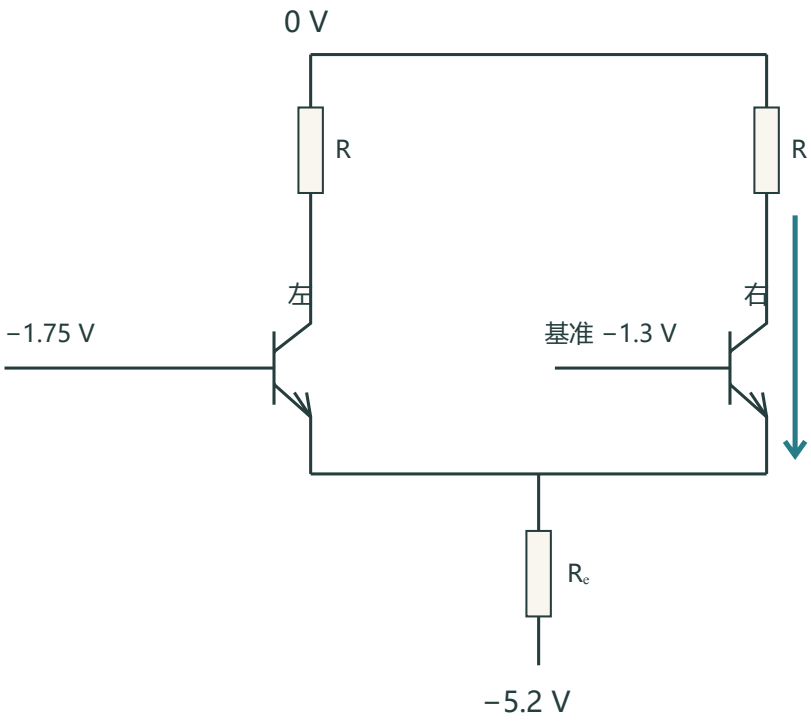
> **学到什么程度**：能解释输入与参考电压比较、电流转向和主要优缺点。
>
> **为什么讲这里**：标星节以理解原理和比较为主，不把历史速度排名背成普遍事实。

课本为什么接着讲 ECL?

因为前面 TTL 的延迟，有一部分来自三极管饱和后的存储电荷。ECL 采用另一种工作方式，让导通的三极管保持在非饱和状态，以提高切换速度。

先看简化后的单输入核心：

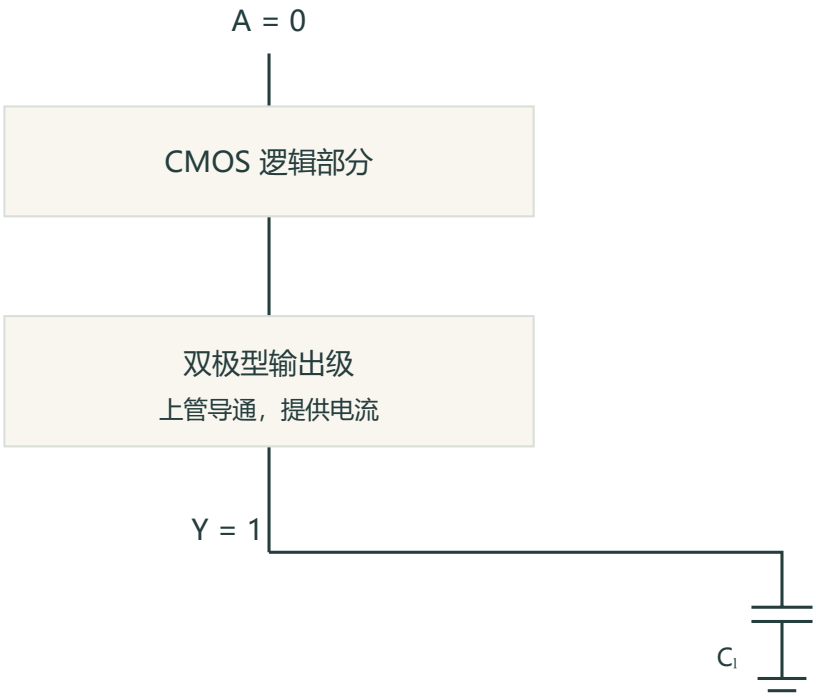
ECL 单输入等效核心



右支路电流增大；左集电极升高

图示电压取自课本例子；这里显示电流开关核心，集电极后面还有输出缓冲。

Bi-CMOS 功能结构



负载电容充电，输出高电平

这是反相器的功能结构图；与非门、或非门改变前面的 CMOS 逻辑部分。

图 31 教学重绘。使用图中控件检查不同条件；器件参数按正文与题设取值。

两只三极管共用发射极支路。

左边基极接输入，右边接固定参考电压。**哪一侧的基极电位较高，电流就更多地转向哪一侧。**

按书中的电压：

$$V_{低} = -1.75\ \text{V}$$

$$V_{参考} = -1.3\ \text{V}$$

$$V_{高} = -0.92\ \text{V}$$

注意负数大小：

$$-0.92 > -1.3 > -1.75$$

输入低时，右侧参考管更容易导通，左侧电流小，左侧集电极电压较高。

输入高时，左侧电流增大，它的集电极电阻压降增大，左侧集电极电压降低。

这就是电流在两边转向。

课本完整电路有多个输入，共同实现或、或非逻辑；后面还有射极输出缓冲，把内部节点电压变成适合后级使用的输出电平。

基准电压部分则用于提供参考，并减小温度变化的影响。

ECL 为什么快?

主要因为避免了深度饱和的存储电荷问题，而且逻辑电压摆幅较小。

代价是电路持续存在较大的工作电流，功耗较大；较小的逻辑摆幅也使噪声容限受到限制。

学到什么程度?

目前能解释工作原理，能比较 ECL 与 TTL 的主要特点，就抓住了这一节的核心。书中不同 ECL 系列的细节、每个电阻和温度补偿参数，不是这章后面习题的计算重点。

书中有关速度排名的表述也有其成书背景，不需要把它背成所有时代、所有数字器件的统一排名。

第三章 · 36 / ECL 与 Bi-CMOS

3.6 Bi-CMOS：逻辑与输出驱动的结合

> **学到什么程度**：知道 CMOS 逻辑和双极型输出级各自承担的任务。
>
> **为什么讲这里**：基极泄放结构用于改善速度与功耗取舍，完整内部图以认识为主。

把上图切到 Bi-CMOS。

课本这一节要解决的问题是：

CMOS 输入与逻辑部分有低静态功耗等优点，但输出驱动较大负载时，需要考虑充放电电流和输出压降。

于是，在逻辑部分使用 CMOS，在输出部分利用双极型器件提供较强驱动。

你可以沿着这个过程理解：

输入先经过 CMOS 逻辑，得到控制信号；后面的输出级根据这个信号，给负载电容充电或放电。

对反相器：

- 输入低，上面的输出支路工作，输出高。
- 输入高，下面的输出支路工作，输出低。

课本图 3.6.1 为什么画两种结构?

简单结构用电阻帮助输出三极管的基极放电。

电阻较小，有利于快速释放电荷，但可能增大功耗；电阻较大，放电又慢。

改进结构使用 MOS 管等构成有源泄放通路，是为了改善这个矛盾。

后面的 Bi-CMOS 与非门、或非门，逻辑功能仍然按前面的方法判断；变化主要在具体实现和输出驱动部分。

书中 74ABT、74ALB、74ALVT 等系列，是不同供电和性能要求下的产品举例。

当前要求：知道为什么采用这种组合；会读逻辑功能；接口题使用给定参数。无需把几张复杂晶体管图全部默写下来。

3.7.1 接口的四个条件与习题 3.25

> **学到什么程度：**先检查高低电平，再检查高低电流；能算混合系列扇出。
>
> **为什么讲这里：**电气参数在此汇合，不能仅凭功能相同或都叫数字芯片判断。

前面的全部电气参数，在这里汇合。

前一级叫驱动门，后一级叫负载门。

首先检查电压：

$$V_{OH(\min)} \geq V_{IH(\min)}$$

含义：前级最差的高电平，仍然要达到后级识别高电平的最低要求。

$$V_{OL(\max)} \leq V_{IL(\max)}$$

含义：前级最差的低电平，仍然要低于后级低电平允许的上限。

再检查电流：

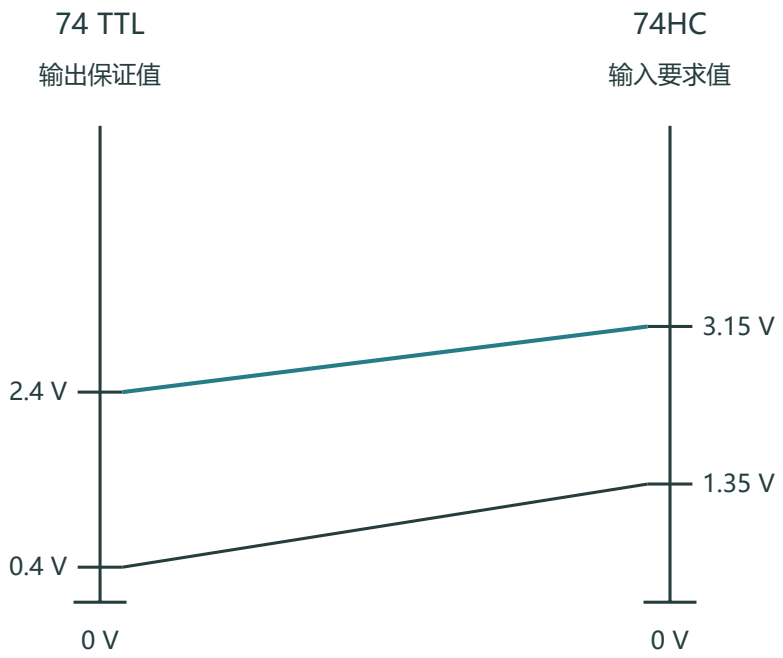
$$|I_{OH(\max)}| \geq \sum I_{IH}$$

$$I_{OL(\max)} \geq \sum |I_{IL}|$$

含义：高、低两种状态下，前级都带得动后面的负载。

---

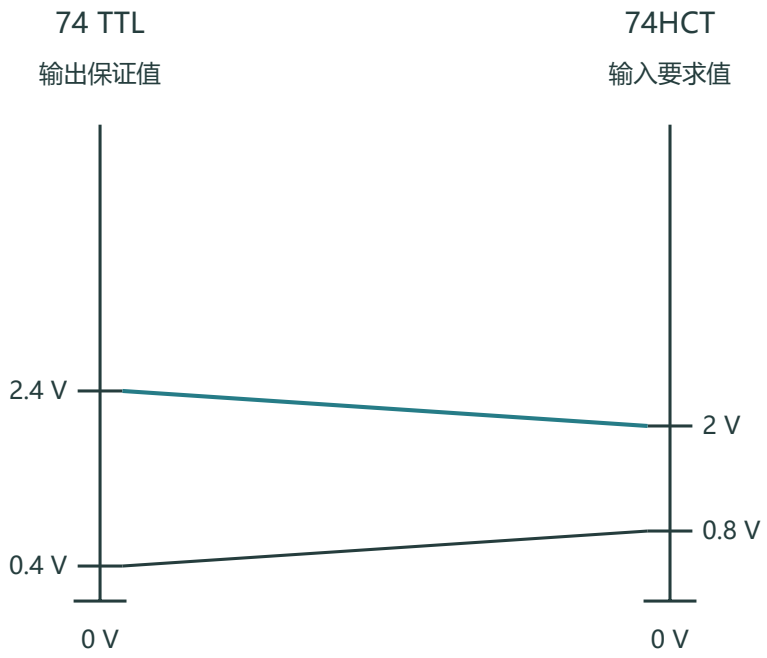
74 TTL → 74HC



高电平不匹配，不能保证直连

高电平余量 -0.75 V；低电平余量 0.95 V（参数与本书表格条件对应）

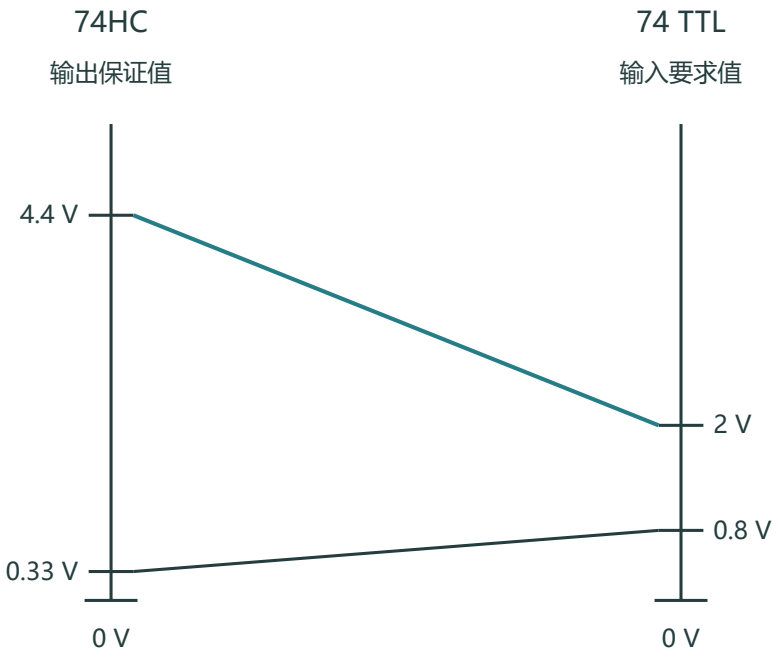
74 TTL → 74HCT



电压条件满足；继续检查电流

高电平余量 0.40 V；低电平余量 0.40 V（参数与本书表格条件对应）

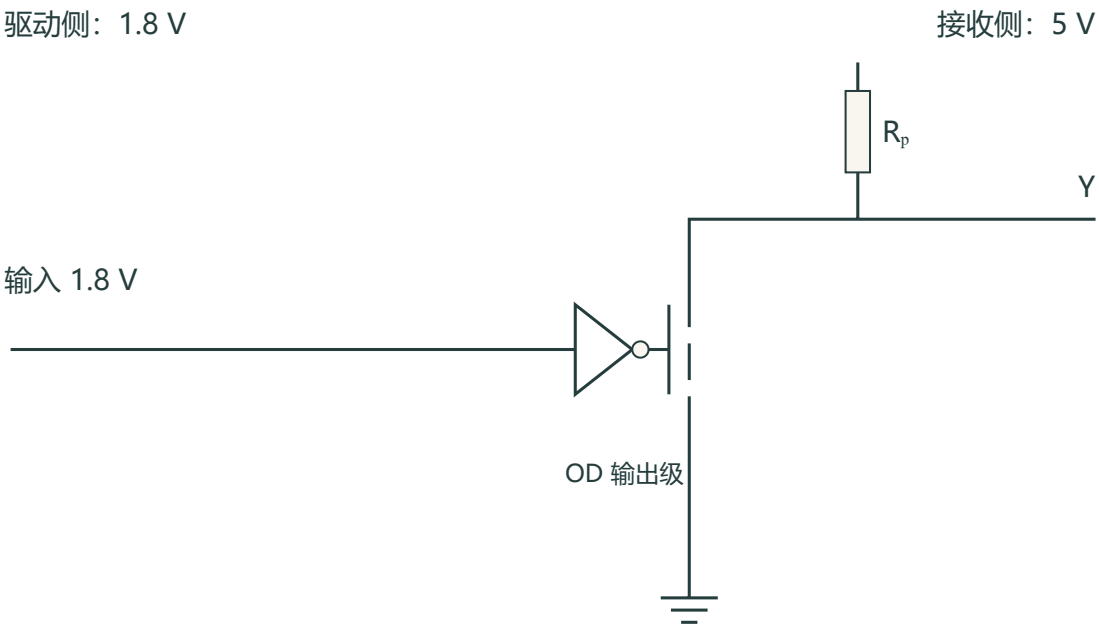
74HC → 74 TTL



电压条件满足；继续检查电流

高电平余量 2.40 V；低电平余量 0.47 V（参数与本书表格条件对应）

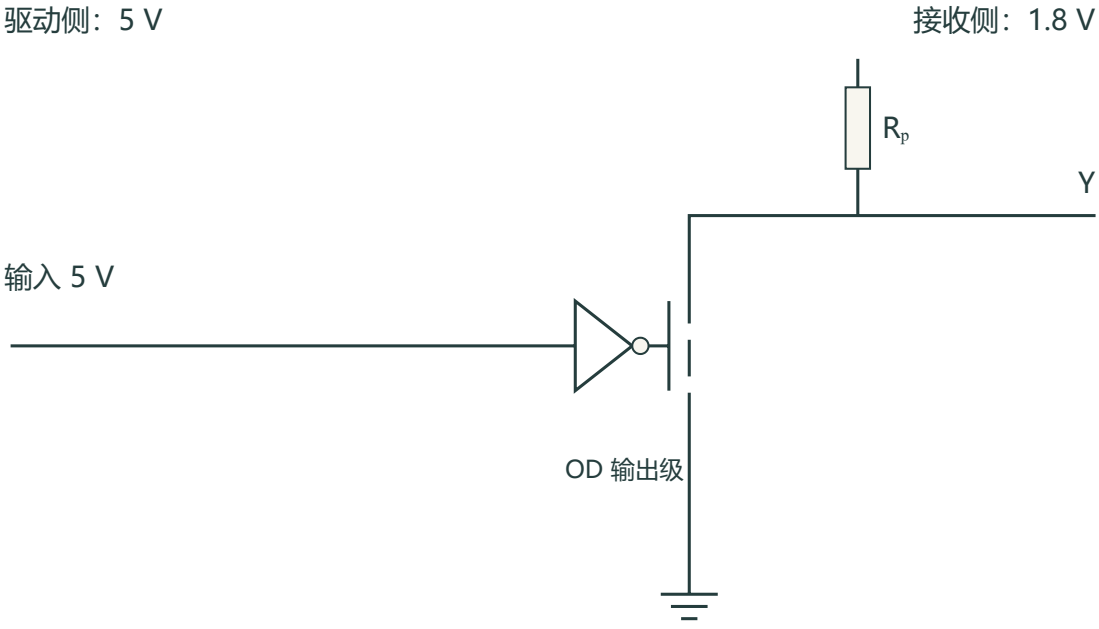
1.8 V → 5 V，OD 接口



仅适用于额定电压允许的接口器件

输出管截止：电阻拉高；输出管导通：拉低。上拉电源决定高电平。

5 V → 1.8 V，OD 接口



仅适用于额定电压允许的接口器件

输出管截止：电阻拉高；输出管导通：拉低。上拉电源决定高电平。

图 32 电平值沿用书中对应表格及测试条件。OD 转换仅适用于允许相应输入、输出电压的器件。

先看 TTL 驱动 HC。

沿用书中相应表格和图中的比较值：

TTL 输出高电平保证值可能只有：

$$2.4\ \text{V}$$

HC 的输入高电平要求在相应测试条件下为：

$$3.15\ \text{V}$$

于是：

$$2.4 < 3.15$$

不能保证直接连接时可靠识别高电平。

你可能会想：前面明明说过 TTL 实际输出高电平约 3.4 V。

问题就在这里：**接口设计需要检查保证值。**不能依靠某个典型电路恰好有较高的输出电压。

再看 TTL 驱动 HCT。

HCT 输入电平按照 TTL 兼容要求设计，高电平门槛为 2 V：

$$2.4 \geq 2.0$$

高电平电压条件就能够满足。

这就是前面为什么要特意区分 HC、HCT。

再看 HC、HCT 驱动 TTL。

在书中对应的供电和参数条件下，电压通常可以匹配。接下来主要检查能带多少负载。

例如习题 3.25，驱动门为 74AHCT04，输出电流能力取 8 mA，各负载与非门的两个输入并接。

按题中采用的参数和输入模型：

负载	高电平允许门数	低电平允许门数	最终取值
7400	100	8	8
74LS00	200	20	20

负载	高电平允许门数	低电平允许门数	最终取值
74ALS00	200	40	40

这里最终限制来自低电平吸收电流能力。

所以，CMOS 输入电流很小，并不能推出“CMOS 输出可以无限驱动 TTL”。

习题 3.24：TTL 驱动 HC 的上拉电阻

> **学到什么程度**：分别从高电平和吸收电流条件计算电阻范围。
>
> **为什么讲这里**：与 OC 题共享节点电流分析方法，使用本题允许的输出模型。

课本介绍的一种办法，是在允许这样使用的 TTL 输出端增加上拉电阻，提高输出高电平。

计算仍然分两种状态。

题中高电平要求至少 $4\ \mathrm{V}$，输出级截止漏电流为 $50\ \mu\mathrm{A}$，四个 CMOS 输入合计最多 $4\ \mu\mathrm{A}$。

因此：

$$R_{P(\max)} = \frac{5-4}{50\ \mu\mathrm{A} + 4\ \mu\mathrm{A}} \approx 18.5\ \mathrm{k}\Omega$$

低电平要求不超过 $0.3\ \mathrm{V}$，允许吸收电流为 $8\ \mathrm{mA}$。计入很小的输入电流后：

$$R_{P(\min)} \approx 0.59\ \mathrm{k}\Omega$$

所以：

$$0.59\ \mathrm{k}\Omega \lesssim R_P \lesssim 18.5\ \mathrm{k}\Omega$$

你会发现，这与 OC 电阻题是同一种思路：

高电平防止压降太大，低电平防止吸收电流太大。

习题 3.26：接口管真的能饱和吗

> **学到什么程度**：比较实际基极电流和总负载所需电流，判断接口是否有效。
>
> **为什么讲这里**：有基极电流不等于饱和；接口添加后仍须校核。

把前面的 NPN 图切换到“习题 3.26 接口”。

这道题最重要的价值，是检查你会不会判断三极管是否真的饱和。

CMOS 输出低电平时，接口三极管截止。六个 TTL 输入的高电平电流经过 2 kΩ 电阻：

$$v_{OH} = 5 - 6 \times 40\ \mu\text{A} \times 2\ \text{k}\Omega = 4.52\ \text{V}$$

约为辅导书给出的 4.5 V，高电平条件满足。

CMOS 输出高电平时，三极管获得的基极电流约为：

$$I_B = \frac{4.95 - 0.7}{33\ \text{k}\Omega + 0.2\ \text{k}\Omega} \approx 0.128\ \text{mA}$$

但要把六个 TTL 输入拉低，它要吸收的电流包括：

- 集电极电阻流下来的电流；
- 六个 TTL 输入端流出来的电流。

按题目模型，所需临界饱和基极电流约为：

$$I_{B(\text{sat})} \approx \frac{1}{40}\left(\frac{5 - 0.1}{2\ \text{k}\Omega + 20\Omega} + 6 \times 1.6\ \text{mA}\right) \approx 0.30\ \text{mA}$$

比较：

$$0.128 < 0.30$$

所以驱动不足，三极管不能按饱和状态计算。

不能因为基极已经有电流，就直接把输出写成饱和压降。

按本题的输入特性分析，输出会落在 TTL 输入的转换区域，辅导书取约 1.4 V，无法形成要求的可靠低电平。

这道题的判断流程，你一定要掌握：

计算实际基极电流 → 计算负载要求 → 检查是否饱和 → 再判断输出电平。

习题 3.22、3.23 虽然还加了继电器或其他负载，基础也在这里：找出所有电流支路，分别检查截止与饱和条件，再确定电阻范围。

3.7.2 不同电压的接口与双电源转换

> **学到什么程度**：找出失配条件，理解 OD 上拉和双电源接口的作用。
>
> **为什么讲这里**：高电平识别、驱动电流与耐压各有对应要求。

例如 1.8 V 系统，要驱动一个要求较高输入电平的 5 V 系统。

如果前级输出最高只能接近 1.8 V，当然可能达不到后级的高电平要求。

课本介绍两种主要办法。

一种是利用适合该电压条件的 OD 缓冲器。

把接口图切换到“1.8 V → 5 V，OD 接口”。

OD 输出负责拉低，上拉电阻接到接收侧需要的电源。因此输出高电平可以由上拉电源决定。

这仍然要求：

- 缓冲器输入能正确识别前级电平。
- OD 输出端能承受上拉电压。
- 电阻和输出电流满足前面学过的条件。

不能从“这是 OD 输出”直接推出“可以拉到任意电压”。

从高电压逻辑到低电压逻辑，也可以使用额定条件合适的接口，把输出上拉到较低电源。图中可以切换查看。

另一种是双电源电平转换接口。

一侧使用与驱动系统匹配的电源，另一侧使用与接收系统匹配的电源，由接口内部完成转换。

如果器件可以双向传输，还需要方向控制，决定当前从哪一侧传向另一侧。

本节做题的最终要求，是先指出哪项条件不满足，再选择相应办法。

高电平不够，处理电平匹配；驱动电流不够，增加驱动能力；输入可能超过允许电压，还要处理输入耐压问题。

这些问题不能只凭“两个都是数字芯片”判断。

章末学习要求与代表题路线

> **学到什么程度**：离开范例能独立列条件、计算并检验，不把会看答案当成会做。
>
> **为什么讲这里**：按能力与题型回查正文，比把所有内部图平均用力背诵更有效。

前面已经讲过的 MOS、CMOS 部分，你应当能够：

- 用 V_{GS}、V_{SG} 判断导通，遇到传输门时会注意源极电位变化。
- 从上拉、下拉通路判断 CMOS 反相器、与非门、或非门和复合门的功能。
- 分清普通输出、OD 输出、三态输出。
- 判断传输门导通时传递什么，断开后输出节点由什么决定。
- 读输入输出电平、噪声容限和传播延迟。

这次补完的后半章，对照习题检查：

习题	需要掌握的内容
3.13 ~ 3.15	输入结构、电表内阻、被测输入电压
3.16 ~ 3.17	高低电平分别计算扇出，正确统计输入电流
3.18	输入电阻上的压降，开关闭合与断开分别列条件
3.19 ~ 3.21	OC 输出两种状态、上拉电阻、电流计数
3.22 ~ 3.23	负载电流、基极驱动、截止与饱和条件
3.24 ~ 3.26	电平兼容、驱动能力、接口是否真正有效
3.27	哪些输出可以共接，以及需要什么条件

如果你暂时记不住 TTL、ECL、Bi-CMOS 的复杂内部图，先把上述题型做会。课本自己在本章小结中也把学习重点放在逻辑功能和外部电气特性上；内部结构的作用，是帮助你解释这些特性，并在题目要求时分析具体工作状态。

你现在最值得反复练的，是 **3.16、3.18、3.20、3.24、3.26**：它们依次检验电流计数、电阻压降、OC 电阻范围、电平匹配和三极管驱动，基本把后半章的主要计算方法串起来了。

第三章 · 42 / 接口与章末复习

十二道离开范例的短自测

> **学到什么程度**：能说出条件与理由，算完后检查电平或状态是否符合原先假设。
>
> **为什么讲这里**：这些短题用于定位卡点，答案不会代替你重新做完整代表题。

先独立作答，再展开核对。打印版会显示全部答案。

▼ 01 • MOS 判断：NMOS 阈值 1 V，栅极 5 V，源极 4.5 V，是否导通?

VGS=0.5 V，小于阈值，截止。看栅源电压，不能只看栅极对地电压。

▼ 02 • 下拉通路：下拉网络是 A、B 串联，再与 C 支路并联，输出是什么?

输出为零条件是 AB+C，所以 Y=¬(AB+C)。

▼ 03 • 串联反相：两只反相器串联后，逻辑相互抵消，延迟是否也消失?

逻辑值可抵消，但传播延迟仍逐级累加。

▼ 04 • 传输门关闭：传输门关闭，输出有电阻接地，可以直接画 Z 电压吗?

传输门不驱动，但节点被电阻拉低，稳态电压近零。Z 不是中间电压。

▼ 05 • 传输系数：传输门导通电阻 1 kΩ，负载 99 kΩ 接地，传输系数多少?

99/(99+1)=0.99。若要求至少 99%，负载至少为导通电阻的 99 倍。

▼ 06 • 使能圆圈：三态反相器的使能端带圈，端子为 1 时输出是什么?

低电平有效，所以端子为 1 时禁用，输出端呈高阻态。

▼ 07 • TTL 扇出：驱动高电平能力 0.4 mA，每个负载两个并接输入共需 80 μA，高电平最多几门?

0.4/0.08=5 门；还要另算低电平条件，最终取较小值。

▼ 08 • 低输入电流：TTL 输入低电平电流记为负数，驱动门需要提供还是吸收这股电流?

按流入输入端为正的约定，负值表示从负载输入端流出，驱动门需要吸收。

▼ 09 • OC 电阻上限：为什么上拉电阻太大会失去可靠高电平?

输出漏电和负载输入电流在上拉电阻上产生较大压降，公共节点电压下降。

▼ 10 • OC 电阻下限：低电平电阻下限公式为什么要从允许吸收电流中减去负载电流?

输出管要同时吸收上拉电流和负载输入流出电流，留给上拉电流的能力只剩差额。

▼ 11 • TTL 与 HC：TTL 高电平最差保证 2.4 V，HC 要求至少 3.15 V，能保证直接连接吗?

不能。高电平条件失败。HCT 的 TTL 兼容输入或适合的接口可解决相应失配。

▼ 12 • 三极管接口：实际基极电流 0.128 mA，临界饱和要求 0.30 mA，可以把输出直接写成饱和压降吗?

不可以。驱动不足，必须重新判断工作区与输出电平。

整理依据与参数说明

《数字电子技术基础》（阎石主编，第六版），第三章，印刷第 62—145 页；《数字电子技术基础 学习辅导与习题解答》（阎石、王红编，第六版），第三章重点内容、相关例题及习题解答。

正文采用独立解释与教学重绘；课本传输门部分保留按段落定位的讲解。逻辑分析采用图示理想或近似模型，阈值、压降、漏电与额定电流以对应题设为准。章末分类表示本阶段学习优先级，不代表已经统计了你的考试范围。

习题 3.6 的功耗电容按题面数据计算为 22.8 pF，辅导书约 13 pF 的数值与其列式不符，正文保留校核过程。图中不同题目的参数彼此独立。PDF 采用矢量电路与波形，动态图的不同设置请在离线阅读版切换查看。

整理日期：2026 年 10 月 15 日。

回到开头 ↑